

# Однокристалльный мост SPI-I<sup>2</sup>C и расширитель портов ввода-вывода

Олег Вальпа (Челябинская обл.)

Описывается микросхема преобразователя интерфейса SPI в I<sup>2</sup>C, с расширителем портов ввода-вывода. Приводятся её технические характеристики, архитектура и способ управления.

## ВВЕДЕНИЕ

В отличие от интерфейса SPI, который использует четыре сигнальных цепи и общий проводник, интерфейс I<sup>2</sup>C использует для связи всего две сигнальные цепи и общий проводник. Основным преимуществом интерфейса I<sup>2</sup>C является возможность одновременного подключения к нему множества устройств с помощью всего лишь двух сигнальных цепей и общего, заземляющего проводника. Данная возможность интерфейса позволяет значительно сократить количество сигнальных цепей между элементами при разработке устройств с развитой и насыщенной периферией.

В настоящее время существует большое количество функционально завершённых периферийных устройств с интерфейсом I<sup>2</sup>C, которые представляют собой всевозможные датчики, часы с будильниками и календарями, индикаторные устройства, постоянные запоминающие устройства, ЦАП, АЦП и т.п. Их использование в разработке новых устройств позволяет значительно сократить сроки самой разработки и упростить конструкцию устройства.

## ОПИСАНИЕ И ХАРАКТЕРИСТИКИ

Если в разрабатываемом устройстве имеется интерфейс SPI и отсутствует интерфейс I<sup>2</sup>C, его можно реализовать аппаратно с помощью новой микросхемы CP2120 фирмы Silicon Laboratories [1], которая представляет собой однокристалльный мост SPI-I<sup>2</sup>C. Микросхема CP2120 позволяет управляющим устройствам,

имеющим один порт в режиме SPI-master, выполнять функции порта I<sup>2</sup>C-master, а также увеличить количество линий ввода-вывода устройства и добавить программируемую линию внешнего прерывания, как это показано на рисунке 1. В качестве таких управляющих устройств могут быть использованы как электронные узлы, так и обычный микроконтроллер.

Микросхема CP2120 включает в себя 4-проводной интерфейс SPI, управляющий контроллер моста-преобразователя, синхронизируемый от внутреннего генератора, монитор питания, набор внутренних регистров, интерфейс двунаправленной I<sup>2</sup>C-шины и контроллер порта восьми дополнительных линий ввода/вывода. Структурная схема CP2120 показана на рисунке 2.

Благодаря применению микросхемы CP2120, устройства с интерфейсом SPI смогут взаимодействовать с устройствами по интерфейсу I<sup>2</sup>C. Для отправки и приёма данных через I<sup>2</sup>C используются посылки инструкций CP2120 через интерфейс SPI. Кроме того, микросхема CP2120 выполняет задачи арбитража, адресации и синхронизации работы по интерфейсу I<sup>2</sup>C.

На рисунке 3 представлена схема включения CP2120 в режиме моста SPI-I<sup>2</sup>C.

Поскольку выходные каскады интерфейса I<sup>2</sup>C представляют собой ключи с открытым стоком, для обеспечения работоспособности обе линии интерфейса I<sup>2</sup>C должны быть подключены к источнику питания через резисторы R1 и R2 сопротивлением 4,7 кОм ± 20%, как это показано на рисунке 4. К устройству с интерфейсом SPI с помощью микросхемы CP2120, кроме периферийных устройств, можно подключать и микроконтроллер, как это показано на рисунке 5. В этом случае микроконтроллер с интерфейсом I<sup>2</sup>C должен работать в режиме подчинённого устройства I<sup>2</sup>C-slave.

Микросхема CP2120 имеет следующие особенности:

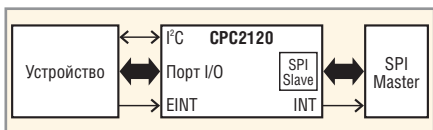


Рис. 1. Однокристалльный мост SPI-I<sup>2</sup>C

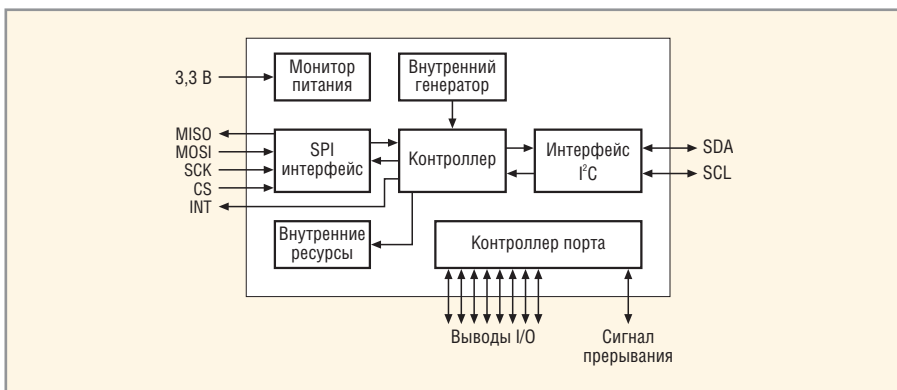


Рис. 2. Структурная схема CP2120

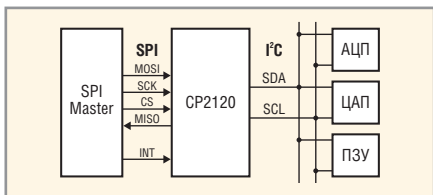


Рис. 3. Схема включения CP2120 в режиме моста SPI-I<sup>2</sup>C

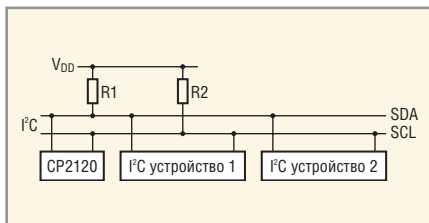


Рис. 4. Подключение линий интерфейса I<sup>2</sup>C

- присутствует встроенный монитор питания;
- интерфейс SPI работает на частотах до 1 МГц;
- обмен данными по I<sup>2</sup>C производится на частотах до 400 кГц;
- поддерживаются полнофункциональные режимы I<sup>2</sup>C master transmit и master receive;
- имеются буферы данных приёма и передачи объёмом 255 байт;
- не требуется внешнего генератора, имеется внутренний генератор;
- имеется выход прерывания с активным низким уровнем сигнала;
- присутствует восемь конфигурируемых линий I/O общего назначения;
- линии порта ввода/вывода совместимы с 5-вольтовой логикой;
- имеется конфигурируемый вывод прерывания по фронту с защёлкой;
- исполнение в миниатюрном 20-выводном корпусе типа QFN.

Основные технические характеристики микросхемы CP2120 приведены в таблице 1. Соответствие сигналов выводам микросхемы показано на рисунке 6. Назначение и описание выводов микросхемы приведено в таблице 2.

На рисунке 7 приведена временная диаграмма работы с микросхемой CP2120 по интерфейсу SPI для схемы подключения и интерфейсных сигналов, показанных на рисунке 8. Как видно из диаграммы, данные по линиям MISO и MOSI передаются через интерфейс старшими разрядами вперёд, а их стробирование осуществляется нарастающим фронтом сигнала синхронизации SCK. Сигнал выборки CS активен на протяжении всего цикла передачи и приёма восьми бит данных. На рисунке 9 приведены детальные фрагменты этой диаграммы с условными обозначениями основных интервалов времени. Значения этих интервалов приведены в таблице 3.

Кроме перечисленных выше достоинств, микросхема имеет миниатюрные габариты. Размер корпуса микросхемы составляет всего 4 × 4 мм.

### Команды управления

Доступ к микросхеме CP2120 со стороны управляющего устройства через интерфейс SPI осуществляется с помощью записи байтовых команд и чтения информационных байт микросхемы.

Формат отправки команд для микросхемы CP2120 через SPI состоит из трёх байт. Первый байт содержит са-

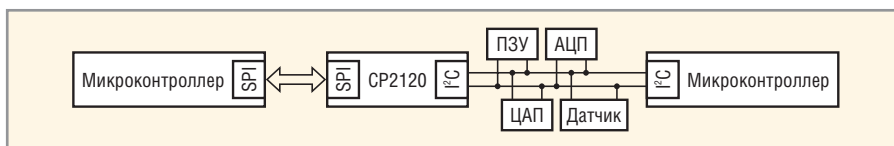


Рис. 5. Подключение микроконтроллера

му команду, второй байт несёт информацию адреса, а третий байт содержит данные для записи либо является неинформативным, т.е. с произвольным содержанием, если команда определяет операцию чтения данных.

В ответ на команды записи микросхема CP2120 ничего не посылает. Если же команда предназначена для чтения данных, то в ответ CP2120 посылает байт данных.

Например, команда 0x20, 0x00, 0xA0, посланная управляющим устройством микросхеме CP2120 по интерфейсу SPI, требует записать по адресу 0x00 байт 0xA0. А команда 0x21, 0x00, 0x00 требует чтения данных по адресу 0x00. Последний байт в этой посланке может иметь произвольное значение от 0x00 до 0xFF, поскольку является неинформативным и служит лишь для дополнения команды третьим байтом. Он необходим для правильной работы счётчика приёмника команд микросхемы CP2120.

Таблица 1. Технические характеристики микросхемы CP2120

Параметр	Значение		
	мин.	тип.	макс.
Напряжение питания, В	2,7	3,0	3,6
Потребляемый рабочий ток, мА	-	6,4	-
Диапазон рабочей температуры, °C	-40	-	+85

Таблица 2. Описание выводов микросхемы CP2120

Имя	Вывод	Тип	Описание
Vdd	3	Питание	Вывод источника питания
GND	2	Питание	Вывод заземления
RST	4	I/O	Сигнал сброса
SCLK	1	I	Сигнал синхронизации SPI
MISO	20	O	Выходные данные SPI
MOSI	19	I	Входные данные SPI
CS	18	I	Сигнал выборки SPI
SDA	17	I/O	Линия данных и адреса I <sup>2</sup> C
SCL	16	I/O	Сигнал синхронизации I <sup>2</sup> C
Not used	15	-	Не используется
GPIO 0	5	I/O	Универсальные конфигурируемые цифровые выходы
GPIO 1	12	I/O	
GPIO 2	11	I/O	
GPIO 3	10	I/O	
GPIO 4	9	I/O	
GPIO 5	8	I/O	
GPIO 6	7	I/O	
GPIO 7	6	I/O	
EINT	13	I/O	Источник фронтального защёлкиваемого прерывания
INT	14	O	Индикатор прерывания CP2120

I – Вход, O – Выход, I/O – Вход/выход

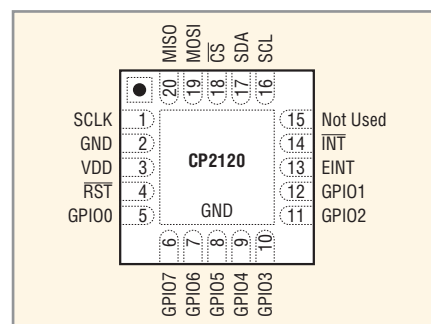


Рис. 6. Соответствие сигналов выводам микросхемы

### Внутренние регистры

Режим работы микросхемы CP2120 определяется состоянием её внутренних регистров, доступных управляющему устройству через интерфейс SPI. Названия всех внутренних регистров CP2120 с указанием их адреса приведены в таблице 4. Все регистры являются однобайтовыми. Ниже приводится описание этих регистров. В описании приведены условные обозначения регистров и доступные

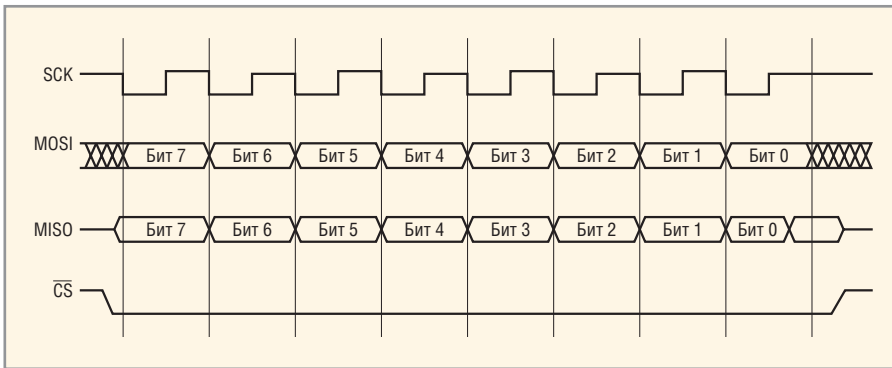


Рис. 7. Временная диаграмма SPI

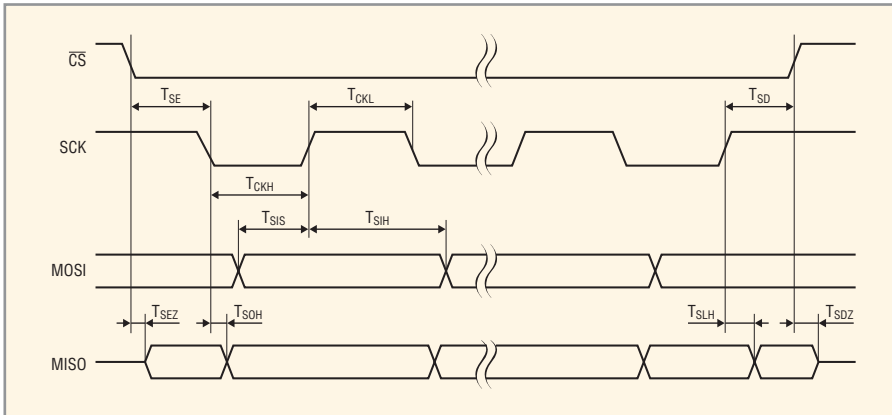


Рис. 9. Детальные фрагменты временной диаграммы

пользователю режимы обращения к ним. Обозначение R означает разрешение операции чтения, а обозначение W допускает запись в конкретный разряд регистра.

Регистр I2CCLOCK определяет рабочую частоту сигнала синхронизации SCL интерфейса I<sup>2</sup>C. Назначение и режим обращения к разрядам регистра I2CCLOCK представлены в таблице 5.

Тактовая частота синхронизации CP2120 в килогерцах определяется формулой отношения числа 2000 к значению регистра I2CCLOCK. После

сброса данный регистр принимает значение 0xA0, что соответствует частоте синхронизации 12,5 кГц. Его максимальное значение не может превышать 255, а минимальное значение не может быть менее 5. Это соответствует диапазону частот синхронизации от 8 до 400 кГц.

Первый внутренний регистр таймера I2CTO порта I<sup>2</sup>C позволяет сконфигурировать счётчик тайм-аута для операций обмена через интерфейс I<sup>2</sup>C. Таймер завершает операцию для I<sup>2</sup>C после того, как истекает заданный пе-

Таблица 3. Параметры временных интервалов SPI микросхемы CP2120

Интервал	Значение
TSE	2xTSYSCLK
TSD	2xTSYSCLK
TSEZ	4xTSYSCLK
TSDZ	4xTSYSCLK
TCKH	5xTSYSCLK
TCKL	5xTSYSCLK
TSIS	2xTSYSCLK
TSIH	2xTSYSCLK
TSOH	4xTSYSCLK
TSLH	6xTSYSCLK

Примечание: TSYSCLK эквивалентен 24,5 МГц и составляет 41 нс

Таблица 4. Внутренние регистры микросхемы CP2120

Название	Адрес	Описание
IOCONFIG	0x00	Первый регистр конфигурации линий ввода-вывода порта GPIO
IOWSTATE	0x01	Регистр состояния линий ввода-вывода порта GPIO
I2CCLOCK	0x02	Регистр частоты сигнала синхронизации SCL порта I <sup>2</sup> C
I2CTO	0x03	Первый регистр таймера порта I <sup>2</sup> C
I2CSTAT	0x04	Регистр состояния порта I <sup>2</sup> C
I2CADR	0x05	Регистр адреса порта I <sup>2</sup> C
RXBUFF	0x06	Регистр размера буфера приёмника порта I <sup>2</sup> C
IOCONFIG2	0x07	Второй регистр конфигурации линий ввода-вывода порта GPIO
EDGEINT	0x08	Регистр управления выводом прерывания EINT
I2CTO2	0x09	Второй регистр таймера порта I <sup>2</sup> C

Таблица 5. Формат регистра I2CCLOCK

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	I2CCK7	I2CCK6	I2CCK5	I2CCK4	I2CCK3	I2CCK2	I2CCK1	I2CCK0

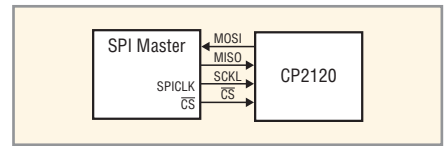


Рис. 8. Схема подключения и сигналы интерфейса

риод времени. Если тайм-аут запрещён, CP2120 делает только одну попытку выполнения операции по шине I<sup>2</sup>C и прекращает её, если эта попытка терпит неудачу. Разрешение работы тайм-аута позволяет прервать неудачную операцию на шине I<sup>2</sup>C и продолжить нормальную работу CP2120.

Назначение и режим обращения к разрядам регистра I2CTO представлены в таблице 6. После сброса данный регистр принимает значение 0x00. Разряды 7 – 1 (ТО6 – ТО0) определяют начальное значение таймера. Период тайм-аута при этом вычисляется по формуле: 128/ТО и может принимать значение от 128 до 1 с. Разряд 0 (TEN) служит для разрешения работы таймера. Когда этот разряд равен 0 – работа таймера запрещена, а когда равен 1 – работа таймера разрешена.

Второй внутренний регистр таймера I2CTO2 порта I<sup>2</sup>C позволяет управлять дополнительными таймерами для обеспечения совместимости протокола по шине I<sup>2</sup>C. При их использовании производится контроль состояния сигналов шины с периодичностью около 25 мс. Назначение разрядов регистра I2CTO2 представлено в таблице 7. После сброса данный регистр принимает значение 0x00. Разряд 1 (FREN) обеспечивает разрешение и запрет обнаружения свободного состояния шины I<sup>2</sup>C, ког-

да шина становится свободной для совершения операций обмена. Когда этот разряд равен 0 – обнаружение состояния запрещено, а когда равен 1 – обнаружение разрешено. Разряд 0 (LWEN) отвечает за обнаружение тайм-аута пребывания сигнала SCL в состоянии низкого уровня. Когда этот разряд равен 0 – обнаружение тайм-аута сигнала запрещено, а когда равен 1 – обнаружение тайм-аут сигнала разрешено.

Управляющее устройство SPI может назначить адрес I<sup>2</sup>C для микросхемы CP2120, записав его во внутренний регистр I2CADR. Установка этого адреса не требуется для осуществления операций через микросхему CP2120. Если адрес установлен, то CP2120 будет формировать сигнал ответа ACK на интерфейсе I<sup>2</sup>C, когда будет производиться обращение по этому адресу со стороны другого мастера шины I<sup>2</sup>C. В противном случае микросхема CP2120 будет формировать сигнал NACK для всех попыток передачи данных, когда отвечает в режиме I<sup>2</sup>C slave. Назначение и режим обращения к разрядам регистра I2CADR представлены в таблице 8. После сброса данный регистр принимает значение 0x00. Разряды 7 – 0 (I2CAD7 – I2CAD0) определяют значение адреса от 0 до 255.

Внутренний регистр состояния шины I2CSTAT отражает текущий статус интерфейса I<sup>2</sup>C. Данный регистр может быть прочитан в любое время. Микросхема CP2120 обновляет содержимое регистра I2CSTAT, когда операция на шине I<sup>2</sup>C началась, когда операция на шине I<sup>2</sup>C завершена (успешно или безуспешно) и когда принятая по SPI команда содержит ошибки.

Для определения завершения операции на шине I<sup>2</sup>C не рекомендуется производить основной опрос регистра I2CSTAT по шине SPI. Вместо этого управляющему устройству следует контролировать состояние вывода INT, ожидая низкий уровень сигнала или спадающий фронт на нём, а затем прочитать регистр I2CSTAT, чтобы определить результат операции на шине I<sup>2</sup>C. Назначение и режим обращения к разрядам регистра I2CSTAT представлены в таблице 9. После сброса данный регистр принимает значение 0x00. Описание возможных состояний регистра I2CSTAT приведено в таблице 10.

Байты данных, получаемые по шине I<sup>2</sup>C, сохраняются в 255-байтовом буфере данных. Количество байт,

Таблица 6. Формат регистра I2CTO

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	T06	T05	T04	T03	T02	T01	T00	TEN

Таблица 7. Формат регистра I2CT02

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	Резерв	Резерв	Резерв	Резерв	Резерв	Резерв	FREN	LWEN

Таблица 8. Формат регистра I2CADR

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	I2CAD7	I2CAD6	I2CAD5	I2CAD5	I2CAD3	I2CAD2	I2CAD1	I2CAD0

Таблица 9. Формат регистра I2CSTAT

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	I2ST7	I2ST6	I2ST5	I2ST4	I2ST3	I2ST2	I2ST1	I2ST0

сохранённых на текущий момент времени в этом буфере, записывается во внутреннем регистре RXBUFF. Регистр RXBUFF имеет формат данных, приведённый в таблице 11. После сброса данный регистр принимает значение 0x00. Разряды RXB отражают значение количества сохранённых в буфере байт данных.

назначения GPIO, которые могут быть сконфигурированы как выходы, входы или квазидвухнаправленные выходы. Внутренние регистры IOCONFIG и IOCONFIG2 позволяют сконфигурировать эти линии порта.

Назначение разрядов регистра представлено в таблицах 12 и 13. После сброса эти регистры принимают значение 0x00. Для каждого вывода порта GPIO отведено по два разряда в регистрах. Состояние этих разрядов определяет функциональное назначение вывода порта. В таблице 14

### КОНФИГУРИРУЕМЫЙ ПОРТ ВВОДА-ВЫВОДА GPIO

Микросхема CP2120 имеет восемь линий порта ввода-вывода общего

**ДАТЧИКИ  
ПОТЕНЦИОМЕТРЫ  
ДЖОЙСТИКИ**



В основе автоматизации любого оборудования лежит использование различных датчиков и преобразователей. Особенно актуальной является проблема увеличения производительности небольших и недорогих машин. Более чем 40 лет MEGATRON представляет на мировом рынке экономичные механические и электрические преобразователи (датчики).

ДАТЧИКИ  
ЛИНЕЙНОГО  
ПЕРЕМЕЩЕНИЯ



ДЖОЙСТИКИ



БЕСКОНТАКТНЫЕ  
ДАТЧИКИ  
ЛИНЕЙНОГО  
ПЕРЕМЕЩЕНИЯ



КАТАЛОГИ ПРОДУКЦИИ  
НА САЙТЕ [WWW.IRIT.RU](http://WWW.IRIT.RU)

БЕСКОНТАКТНЫЕ  
ДАТЧИКИ ВРАЩЕНИЯ



ДАТЧИКИ  
ВРАЩЕНИЯ





«ИРИТ»: Москва, 115211, Каширское шоссе, дом 55, корпус 1  
Телефон/факс: (495) 781-79-97  
E-mail: sale@irit.ru Internet: http://www.irit.ru



[www.irit.ru](http://www.irit.ru)  
781-7997

приведено соответствие значения этих разрядов режиму работы выводов порта.

Регистр IOSTATE предназначен для обмена данными через порт GPIO. Состояние любого вывода порта мо-

жет быть изменено путём записи данных во внутренний регистр IOSTATE. Регистр IOSTATE при чтении возвращает текущее значение каждого вывода порта. Назначение разрядов регистра представлено в

таблице 15. После сброса данный регистр принимает значение 0x00. Запись данных в этот регистр приводит к изменению состояния на соответствующих выводах порта GPIO, а чтение регистра отражает состояние выводов порта в соответствующих им разрядах.

Регистр EDGEINT отвечает за вход прерывания EINT. Вывод порта EINT может быть сконфигурирован как источник прерывания по фронту путём записи определённого значения во внутренний регистр EDGEINT. Формат этого регистра представлен в таблице 16. После сброса данный регистр принимает значение 0x00.

Разряд 7 (EIF) является флагом прерывания по фронту с защёлкой. Когда этот разряд равен 0 – на выводе EINT не обнаружено перепада сигнала, а когда равен 1 – обнаружение перепада сигнала произошло.

Разряд 6 (EIE) разрешает прерывание по фронту с защёлкой. Когда этот разряд равен 0 – прерывание запрещено, а когда равен 1 – разрешено.

Разряд 5 (EIT) определяет перепад прерывания по фронту с защёлкой. Когда этот разряд равен 0 – прерывание формируется при переходе сигнала на выводе EINT из низкого состояния в высокое, а когда равен 1 – наоборот, при переходе сигнала из высокого состояния в низкое. Остальные разряды регистра зарезервированы.

После того как прерывание для вывода EINT сконфигурировано, CP2120 будет формировать низкий уровень сигнала на выводе INT при возникновении перепада сигнала на выводе EINT.

### ОБМЕН ПО ИНТЕРФЕЙСУ I<sup>2</sup>C

Для передачи и приёма данных по интерфейсу I<sup>2</sup>C используются блочные команды. Так, команда для записи блока данных определённому устройству, подключенному через интерфейс I<sup>2</sup>C, имеет вид: 0x00, количество байт, адрес устройства в режиме записи, первый байт данных, второй байт данных, и т.д. С помощью такой команды можно в одной посылке передать от 1 до 256 байт данных для записи в устройство, начиная с указанного адреса. Согласно протоколу работы интерфейса I<sup>2</sup>C, адрес внутри устройства будет автоматически наращиваться на единицу при записи в него поступающих последовательно байт данных. Данный режим позволяет значительно сократить время записи данных в устройство.

**Таблица 10. Описание состояний регистра статуса I2CSTAT**

Значение	Описание
0xFF	Обмен по I <sup>2</sup> C успешно завершился
0xF1	Нет подтверждения получения адреса устройством
0xF2	Нет подтверждения получения данных устройством
0xF3	Обмен по I <sup>2</sup> C выполняется
0xF8	Обмен по I <sup>2</sup> C синхронизирован с таймером, конфигурируемым I2CTO
0xF9	Байты команд для передачи или чтения и размер буфера данных не сочетаются
0xFA	Количество байт, прочитанных из буфера, превышает счётчик буфера
0xFB	Тайм-аут низкого состояния сигнала SCL интерфейса I <sup>2</sup> C использует таймер, конфигурируемый в I2CTO2

**Таблица 11. Формат регистра RXBUFF**

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	RXB7	RXB6	RXB5	RXB4	RXB3	RXB2	RXB1	RXB0

**Таблица 12. Формат регистра IOCONFIG**

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	PCI03.1	PCI03.0	PCI02.1	PCI02.0	PCI01.1	PCI01.0	PCI00.1	PCI00.0

**Таблица 13. Формат регистра IOCONFIG2**

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	PCI07.1	PCI07.0	PCI06.1	PCI06.0	PCI05.1	PCI05.0	PCI04.1	PCI04.0

**Таблица 14. Режимы работы выводов порта GPIO**

PCIOx.0	PCIOx.0	Режим работы вывода x
0	0	Выход с открытым стоком
0	1	Вход
1	0	Подтянутый выход
1	1	Вход

**Таблица 15. Формат регистра IOSTATE**

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	GPIO7	GPIO6	GPIO5	GPIO4	GPIO3	GPIO2	GPIO1	GPIO0

**Таблица 16. Формат регистра EDGEINT**

Разряд	7	6	5	4	3	2	1	0
Режим	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
Название	EIF	EIE	EIT	Резерв	Резерв	Резерв	Резерв	Резерв

Для осуществления операции блочного чтения данных используется команда 0x01, количество байт, адрес устройства в режиме чтения. Адреса устройства для режима записи и чтения отличаются одним лишь младшим разрядом. Так, для режима чтения этот разряд имеет значение единицы, а для режима записи он равен нулю.

После этой команды CP2120 начинает операцию чтения данных из устройства с указанным адресом в собственный буфер приёмника. При этом адрес внутри устройства также автоматически будет наращиваться на единицу при последовательном чтении из него байт данных. По завершении этой операции микросхема CP2120 сформирует активный низкий уровень сигнала прерывания INT, сигнализируя свою готовность передать считанные данные управляющему устройству.

С помощью команды 0x06, 0xXX, можно прочитать содержимое буфера микросхемы CP2120. В ответ на эту команду CP2120 последовательно перешлёт управляющему устройству по интерфейсу SPI все байты данных из

своего буфера приёмника. Рекомендуется перед выполнением данной команды прочесть содержимое внутреннего регистра микросхемы CP2120, имеющего название RXBUFF, для того чтобы определить, сколько байт сохранено в буфере CP2120.

Микросхема CP2120 поддерживает и более сложные блочные команды, такие как чтение после записи, запись после записи и запись в множество устройств.

Первая из этих команд имеет формат: 0x02, количество байт для записи, количество байт для чтения, адрес устройства в режиме записи, байты данных для записи, адрес устройства в режиме чтения.

Вторая команда имеет формат: 0x03, количество байт для первой группы записи, количество байт для второй группы записи, адрес устройства в режиме записи для первой группы данных, первая группа байт для записи, адрес устройства в режиме записи для второй группы данных, вторая группа байт для записи.

Наконец, третья команда имеет формат: 0x09, количество байт запи-

си, количество устройств для записи, последовательность адресов устройств в режиме записи, группа данных для записи.

### ДОПОЛНИТЕЛЬНЫЕ КОМАНДЫ

Другие команды для микросхемы CP2120 осуществляют специальные функции. Так, команда 0x18, 0x81 задаёт такой режим работы интерфейса SPI, когда данные в байтах посылок передаются, начиная со старшего разряда. А команда 0x18, 0x42 задаёт обратный режим работы интерфейса SPI, когда данные в байтах посылок передаются начиная с младшего разряда.

Команда 0x40, 0xXX позволяет считать версию микросхемы CP2120. Здесь байт 0xXX имеет произвольное значение. В ответ микросхема CP2120 посылает два байта с информацией о версии. Например, полученные от микросхемы байты 0x01 и 0x44 означают, что она имеет версию 1.44.

### ЛИТЕРАТУРА

1. www.silabs.com



18 - 21  
МАРТА
ОМСК  
2008

Международный выставочный центр "ИнтерСиб" приглашает принять участие в выставках:

# ПРОМТЕХЭКСПО

СИБИРСКИЙ ПРОМЫШЛЕННО-ИННОВАЦИОННЫЙ ФОРУМ

Генеральный  
информационный спонсор:  
"ИТО", г. Москва

Генеральный  
информационный спонсор  
выставки "Индустрия безопасности и связи"

В объединенной экспозиции выставки:

**ОМСКГАЗНЕФТЕХИМ**

**СИБЗАВОД**

**ЭНЕРГОСИБ**

**АГРЕГАТЭКСПОСИБ**

**ИНДУСТРИЯ БЕЗОПАСНОСТИ И СВЯЗИ.  
АВТОМАТИЗАЦИЯ И ЭЛЕКТРОНИКА**

Презентация инновационной программы  
Сибирского федерального округа  
"СибВПКМАШ-ТЭК-2010"

Межрегиональная  
научно-практическая конференция  
"Техническое оснащение и перевооружение ТЭК"

Организатор: МВЦ "ИнтерСиб", 644033, г. Омск, ул. Красный путь, 155, корп. 1,  
тел./факс (3812) 25-25-20, 25-14-79, E-mail: fair@intersib.ru, http://www.intersib.ru