

Оценка энергопотребления комбинационных блоков заказных КМОП СБИС на основе логического моделирования

Пётр Бибило (г. Минск, Беларусь)

Предлагается оценивать энергопотребление блоков комбинационной логики КМОП СБИС на основе логического моделирования VHDL-описаний схем, которое позволяет быстро подсчитать суммарное число переключений транзисторов в логических элементах. Приводятся результаты экспериментов по моделированию схмотехнических и логических описаний схем на тех же последовательностях входных сигналов.

Наряду с другими задачами проектирования комбинационной логики заказных цифровых КМОП СБИС, важной задачей является оценка энергопотребления, осуществляемая в системах аналогового моделирования. В отличие от схмотехнического моделирования, позволяющего получать значения напряжений и токов в цепях схемы, логическое моделирование комбинационных блоков позволяет для каждой двоичной (0, 1) комбинации входных сигналов получить двоичную комбинацию значений выходных сигналов.

Математическими моделями комбинационных элементов являются логические функции, а математической моделью комбинационной схемы в целом является суперпозиция функций, реализуемых элементами схемы. Для схем приемлемой размерности (до 30 входов) логическое моделирование позволяет провести полный перебор всех входных комбинаций (r – число входов схемы) и удостовериться в правильности реализации функций. Заметим, что в этом случае логическое мо-

делирование заменяет функциональную верификацию [1]. Логическое моделирование может быть выполнено с использованием VHDL-описаний элементов (и схемы в целом) и проведено в соответствующей системе моделирования, примером которой является ModelSim (Mentor Graphics).

Аналоговое схмотехническое моделирование проводится на основе Spice-моделей комбинационных элементов. Такие модели для КМОП-элементов библиотечных логических вентилях представляют собой сети p - и n -канальных МОП-транзисторов, а вся логическая схема на этапе схмотехнического моделирования представляет собой «большую» сеть транзисторов.

Схмотехническое моделирование является весьма трудоёмким, поэтому перебор всех 2^r комбинаций входных сигналов возможен для схем гораздо меньшей размерности, чем это позволяет логическое моделирование. Оценка энергопотребления при аналоговом моделировании ведётся на ограниченных по длине тестах, по которым и су-

дят об энергопотреблении схемы. Известно [2, 3], что основная доля энергопотребления КМОП-схем приходится на переключения транзисторов.

В данной работе предлагается экспериментальная оценка энергопотребления блоков комбинационной логики КМОП СБИС на основе логического VHDL-моделирования. Путём моделирования специально составленных VHDL-описаний схем определяется суммарное число переключающихся транзисторов в схеме, что позволяет оценить среднее потребление тока схемой при схмотехническом моделировании *на той же последовательности комбинаций входных сигналов*.

Для этого следует экспериментальным путём определить усреднённое потребление тока одним транзистором при единичном переключении. Заметим, что в комбинационном КМОП-элементе при изменении входа обычно переключается пара элементарных транзисторов. Это, однако, не относится к некоторым более сложным элементам типа «эквивалентность», «сумма по модулю 2» и других, в которых может переключаться более двух транзисторов. Пример комбинационного КМОП-элемента приведён в [4]. Ниже мы рассмотрим конкретную библиотеку КМОП-вентилей и логические схемы, синтезированные в данной библиотеке с помощью синтезатора LeonardoSpectrum, и проиллюстрируем способ подсчёта переключающихся транзисторов и определения параметра α .

Рассмотрим логическую схему *circ* (см. рис. 1) и её VHDL-модель (netlist), заданную в листинге 1. В этом же листинге приводится логическая модель одного из логических элементов (A2).

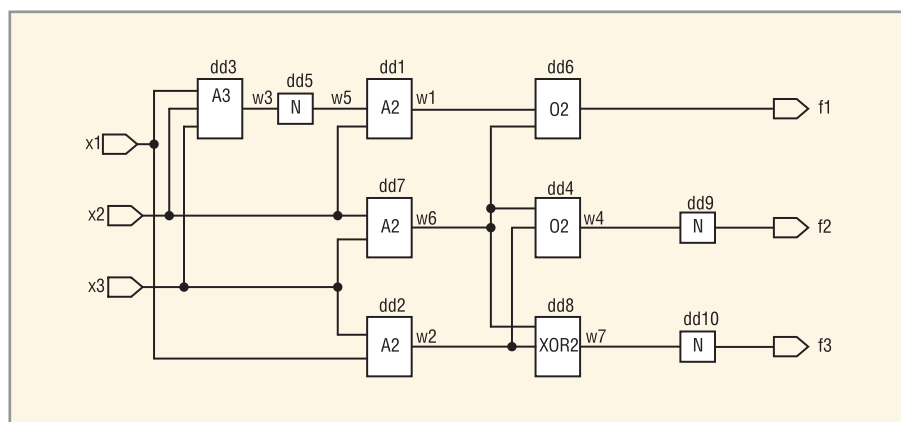


Рис. 1. Логическая схема

```

Листинг 1. Описание схемы (см.
рис. 1) на языке VHDL
library ieee;
use ieee.std_logic_1164.all;
entity circ is
port(x1, x2, x3 : in std_logic;
F1, F2, F3 :out std_logic );
end;
    
```

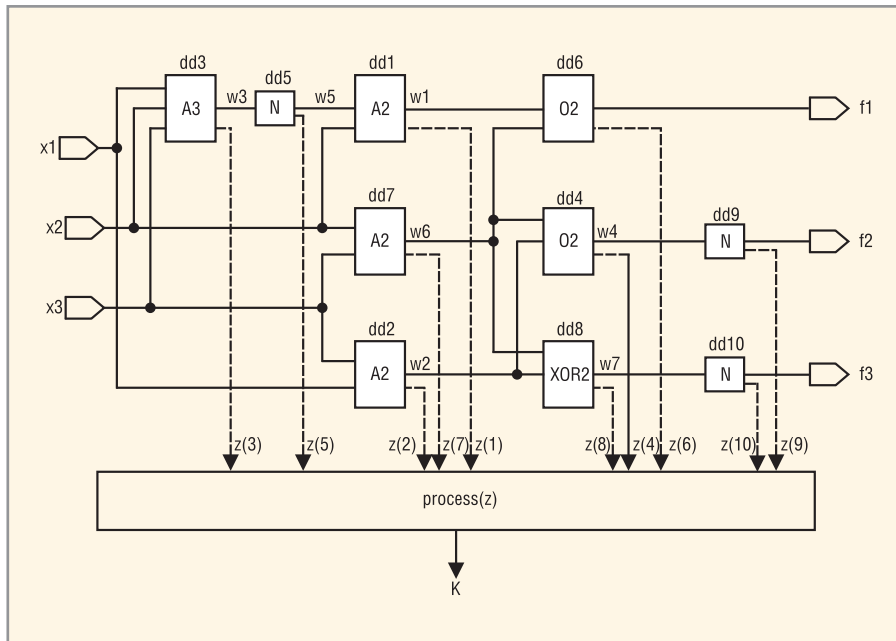


Рис. 2. Преобразованная логическая схема

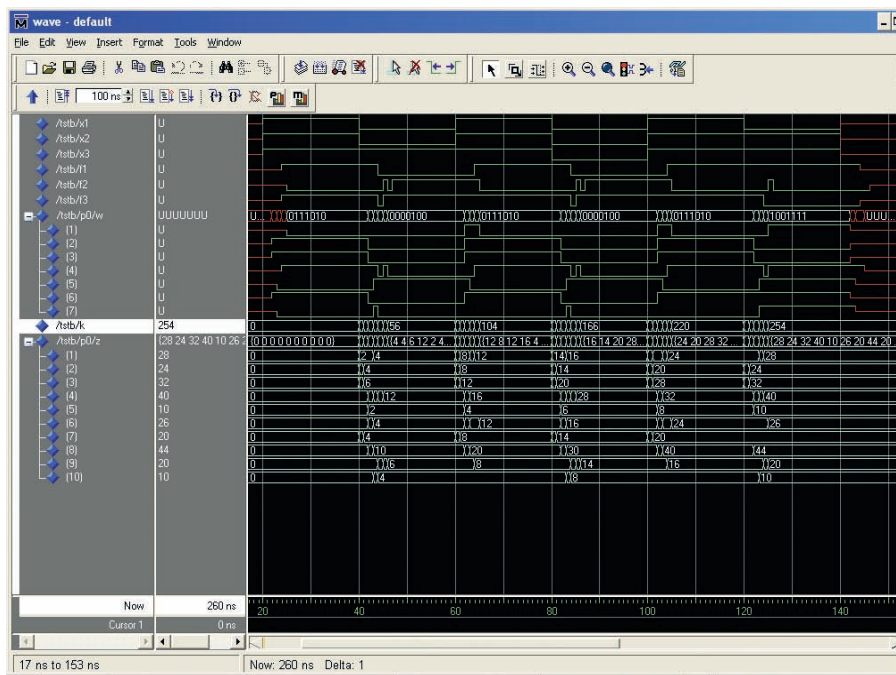


Рис. 3. Результат логического VHDL-моделирования

```

architecture circ_arch of circ is
signal W : std_logic_vector (1 to 8);
begin
dd1 : A2 port map (w(5), x2,
w(1));
dd2 : A2 port map (x3, x1, w(2));
dd3 : A3 port map (x1, x3, x2,
w(3));
dd4 : O2 port map (w(7), w(2),
w(4));
dd5 : N port map (w(3), w(5));
dd6 : O2 port map (w(1), w(7),
F1);
dd7 : A2 port map (x2, x3, w(7));
dd8 : XOR2 port map (w(7), w(2),
w(8));
dd9 : N port map (w(4), F2);
dd10 : N port map (w(8), F3);
end;
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity A2 is
port (A:IN std_logic;
B:IN std_logic;
Y:OUT std_logic);
end;
architecture BEHAVIOR of A2 is
begin
Y <= (A and B) after 1ns;
end;

```

Суть предлагаемого подхода заключается в преобразовании VHDL-моделей элементов и схемы, показанной на

рисунке 1, в схему, изображённую на рисунке 2. В данных схемах используются элементы следующих типов: A2, A3 – двухвходовый и трёхвходовый элемент И соответственно; O2 – двухвходовый элемент ИЛИ; N – инвертор; XOR2 – «сумма по модулю 2». Полагается, что все логические элементы имеют одинаковую задержку, в данном примере выбранную равной 1 нс. Каждый элемент схемы, изображённой на рисунке 2, имеет средство (VHDL-процесс) для подсчёта числа переключившихся транзисторов в этом элементе. С этой целью VHDL-модель элемента снабжается дополнительным выходом z, значение которого задаёт число переключившихся транзисторов в данном сеансе моделирования. При этом учитывается схемотехника (иерархия на уровне VHDL-описаний) элементов, например, элемент A2 представляет собой каскадное соединение логического элемента NA, реализующего функцию И-НЕ, и инвертора N. Пример модели иерархически описанного элемента A2 и базового элемента NA2 приведён в листинге 2 на сайте журнала.

В VHDL-модели элемента NA полагается, что изменение значения (0 на 1, 1 на 0) входного сигнала влечёт за собой переключение двух транзисторов, а с помощью атрибута *A'delayed(1 ns)* вычисляется значение, которое имел сигнал A одну наносекунду назад относительно текущего времени моделирования. Заметим, что подсчёт числа переключений осуществляется с помощью функции *sum*, написанной для логического элемента с несколькими входами; для двухвходовых элементов можно обойтись более простыми средствами.

Модель схемы в целом дополняется процессом, осуществляющим суммирование переключений по всем элементам. Такое суммирование выполняет функция *sum_percl*, по сути – та же функция *sum*. Пример преобразованного описания схемы *circ* приведён в листинге 3 на сайте журнала. Жирным шрифтом выделены добавленные операторы. В этом же листинге приводится пакет *percl*, содержащий декларации компонент и функцию *sum_percl*.

Результат логического моделирования преобразованной схемы на упорядоченной последовательности <111, 001, 111, 000, 111, 011> наборов входных сигналов представлен на рисунке 3. В данном сеансе моделирования было 254 переключения транзисторов во всех логических элементах. Затем бы-

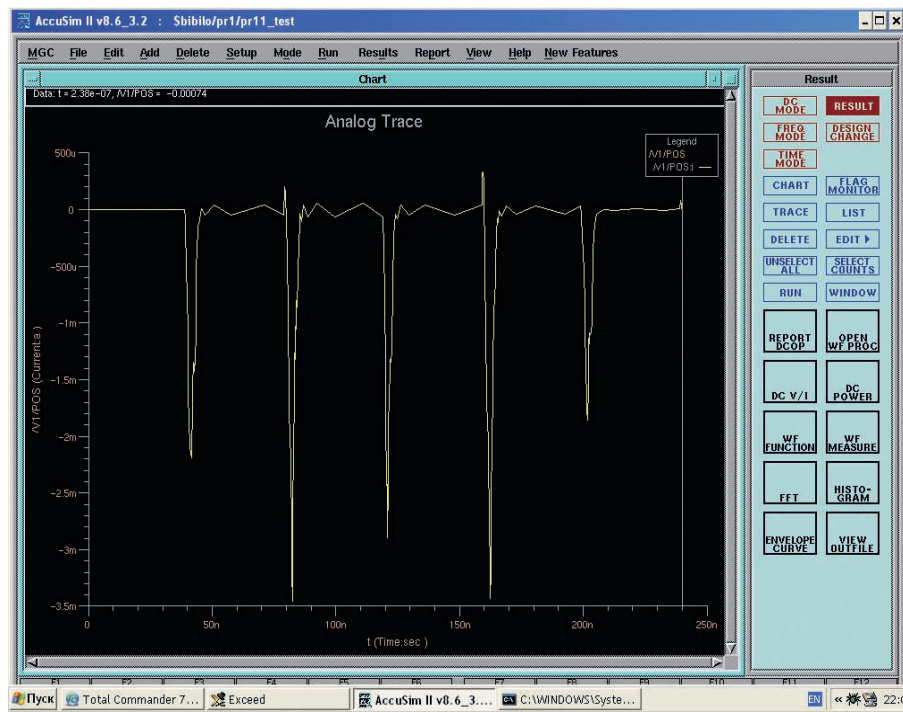


Рис. 4. Результат схемотехнического моделирования в виде графика потребления тока схемой *circ*

ло составлено Spice-описание логической схемы (см. рис. 1) и проведено схемотехническое моделирование на той же последовательности входных сигналов. Результат схемотехнического моделирования схемы *circ* в системе Accusim (разработка фирмы Mentor Graphics) на той же последовательности входных наборов представлен на рисунке 4.

Среднее потребление тока (параметр *Average*, выдаваемый системой Accusim в результате моделирования) схемой *circ* составило $A = 0,136915$ мА на $N = 5$ наборах моделирования, при этом число переключений транзисторов $S = 254$. Среднее потребление тока при переключении одного транзистора (параметр α) будем подсчитывать по формуле

$$\alpha = \frac{AN}{S}$$

В нашем примере

$$\alpha = \frac{AN}{S} = \frac{0,136915 \times 5}{254} = 2,694 \text{ нА.}$$

Чтобы определить среднее потребление тока при переключении одного транзистора (по всем логическим элементам библиотеки проектирования и всем вариантам подачи значений сигналов на входы элементов), был проведён эксперимент, в котором варьировались тестовые последовательности входных наборов, подаваемых на вход схем. Схемы *gsx1*, *bsx1*, *mul* были взяты из практики проектирования, остальные – из набора тестовых примеров [5]. Число N наборов в тесте называется длиной теста.

Были применены следующие типы тестовых последовательностей (тестов):

- *тип 1*. На любом входе логической схемы для любого входного набора вероятность появления единицы равна 0,5;
- *тип 2*. Упорядоченная по возрастанию десятичного эквивалента последовательность из всех наборов булева пространства размерности r , т.е. тест составлен из всех наборов из левой части таблицы истинности, задающей систему логических функций, реализуемых схемой;

Результаты моделирования

Схема	Тип теста	Средний (Average) потребляемый ток A, мА	Число элементов схемы	Число переключений S	Длина теста N	Время Spice-моделирования	α , нА	Оценка потребляемого тока A, мА	Погрешность оценки потребляемого тока A, %
Эксперимент									
<i>z9sym</i>	1	0,8471	166	187 690	512		2,310	0,8204	-3%
<i>addm4</i>	1	1,8260	359	417 024	512	13 мин	2,241	1,8228	-2%
<i>life</i>	1	0,2715	33	50 960	512		2,728	0,2227	-18%
<i>z9sym</i>	2	0,1910	166	45 632	512		2,143	0,1994	+4%
<i>addm4</i>	2	1,0094	359	235 344	512		2,196	1,0287	+2%
<i>mul</i>	2	7,3183	548	155 982	32		1,501	10,9089	+49%
<i>life</i>	2	0,1371	33	22 578	512		3,109	0,0986	-28%
<i>z9sym</i>	3	0,1984	166	41 144	512		2,468	0,1798	-9%
<i>addm4</i>	3	1,0320	359	207 944	512		2,541	0,9089	-12%
<i>life</i>	3	0,1301	33	22 834	512		2,919	0,0998	-23%
<i>gsx1</i>	4	0,2205	28	336 328	4032		2,643	0,1866	-15%
<i>bsx1</i>	4	0,2168	30	330 676	4032		2,643	0,1835	-15%
<i>mul</i>	4	9,2253	548	4 822 468	992	1 ч 18 мин	1,897	10,8797	+18%
<i>b12</i>	1	0,3097	49	61 390	512		2,582	0,2683	-13%
<i>in0</i>	1	1,1216	318	312 952	512	5 мин	1,834	1,3679	+22%
<i>tms</i>	1	0,4859	156	130 706	512		1,903	0,5713	+17%
<i>mlp4</i>	1	1,3088	262	313 748	512		2,136	1,3714	+6%
<i>root</i>	1	0,5769	111	123 274	512		2,396	0,5388	-6,5%
Контрольное моделирование для $\alpha = 2,238$ нА									
<i>intb</i>	1	4,9836	1078	78 902	32		2,021	5,5182	+10%
<i>intb</i>	1	5,0231	1078	1 216 014	512	2 ч 15 мин	2,115	5,3153	+5,8%

- *тип 3.* Упорядоченная по убыванию десятичного эквивалента последовательность из всех наборов <111...1, ..., 000...0> булева пространства размерности r , т.е. тест 3 представляет обратный порядок задания наборов теста типа 2;
- *тип 4.* Все упорядоченные пары входных наборов из булева пространства размерности r .

Результаты эксперимента представлены в таблице.

Эксперименты для всех схем при схемотехническом моделировании проводились с одинаковыми значениями параметров: длительности передних и задних фронтов входных сигналов 1 нс; период подачи входных сигналов 40 нс; температура +27°C. Задержка каждой из схем не превышала 20 нс. Среднее значение параметра α , полученное усреднением значений по 18 экспериментам (см. таблицу), составило $\alpha = 2,238$ нА.

Рассмотрим две последние строки таблицы, в которой приведены результаты моделирования схемы *intb*, состоящей из 1078 логических элементов (примерно 6000 транзисторов). VHDL-моделирование схемы *intb* занимает 10 с работы персонального компьютера с микропроцессором Intel E6750 с тактовой частотой 2,66 ГГц. Зная параметр $\alpha = 2,238$ нА, можно оценить потребление тока (т.е. параметр *Average*) $A = (2,238 \times 1216014) / 512 = 5315,3$ нА = 5,3153 мА. Реальное потребление тока составило 5,023 мА, таким образом, погрешность оценки составляет $((5,315 - 5,023) / 5,023) \times 100\% = 5,8\%$.

Итак, затратив 10 с на логическое моделирование на персональном компьютере, можно с погрешностью 5,8% предсказать результат схемотехничес-

кого моделирования, которое требует 2 ч 15 мин работы того же компьютера.

Заметим, что если мы проведём моделирование той же схемы *intb* не на 512 наборах, а на 32 (предпоследняя строка таблицы), то погрешность оценки потребления тока схемой *intb* составит 10%. Следовательно, оценка энергопотребления схемы должна проводиться на достаточно длинных тестах. Например, моделирование достаточно сложной схемы *mul* на 32 наборах приводит к 49% погрешности оценки среднего значения потребляемого тока. Экспериментально определено, что использование «урезанной» библиотеки синтеза приводит к изменению параметра α .

В целом можно сделать следующие выводы:

- эксперимент подтвердил известный из литературы факт, что энергопотребление одной и той же схемы в значительной степени определяется значениями входных сигналов (типом теста);
- погрешность оценки потребляемого тока тем больше, чем меньше сложность схемы и чем меньше длина теста (для одной и той же схемы);
- использовать экспериментально полученный параметр α можно лишь для схем, работающих на той же тактовой частоте (период смены входных наборов для которых составляет 40 нс), т.е. для каждой тактовой частоты требуется определять свое значение параметра α . Другие параметры (длительность фронтов входных сигналов, температура и т.д.) также должны быть одинаковыми при схемотехническом моделировании. Эксперименты показали, что значение параметра α пропорционально тактовой частоте: если период подачи входных наборов уве-

личивается в два раза, то пропорционально уменьшается значение параметра α при моделировании одной и той же схемы на том же тесте;

- усложнив VHDL-программу, можно определить такты, для которых число переключающихся транзисторов является максимальным, и сформировать тесты, характеризующиеся максимальным потреблением тока. Таким образом, использование логического VHDL-моделирования позволяет произвести подсчёт числа переключений транзисторов в комбинационных схемах КМОП СБИС и с достаточной точностью и скоростью оценить средние значения потребляемого тока, что значительно сокращает время оценки вариантов логических схем на этапе синтеза проекта. Однако для выбранного заключительного варианта логической схемы точную оценку энергопотребления рекомендуется получать с помощью трудоёмкого схемотехнического моделирования [4].

ЛИТЕРАТУРА

1. Библио П.Н. Декомпозиция булевых функций на основе решения логических уравнений. Беларусь. наука, 2009.
2. Рабаи Ж.М., Чандракасан А., Николич Б. Цифровые интегральные схемы, 2-е изд. Вильямс, 2007.
3. Ghosh A., Devadas S., Keutzer K., White J. Estimation of Average Switching Activity in Combinational and Sequential Circuits. Proc. 29th ACM/IEEE Design Automation Conf., 1992. PP. 253–259.
4. Авдеев Н.А., Библио П.Н. Оценка энергопотребления цифрового блока СБИС. Современная электроника. 2009. № 9.
- 5 <http://www1.cs.columbia.edu/~cs4861/sis/esspresso-examples/ex/>.



Новости мира News of the World Новости мира

Биобатареи Sony берут энергию из газировки

Недавно дизайнер из Китая Дайцзы Чжэн (Daizi Zheng) продемонстрировал созданный для Nokia концепт мобильного телефона, источником питания для которого служит нечто совсем не рядовое, даже учитывая сегодняшнее бурное развитие «зелёных» технологий, – напитки с содержанием сахара. В результате разложения углевода в присутствии выступающего катализатором фермента биобатарея получает энергию, а продуктами реакции являются вода и кислород. Подобный источник питания не опасен для окружающей среды и, по оценке Чжэна, может проработать в 3...4 раза дольше на од-

ном заряде, чем обычная литий-ионная батарея. Вряд ли Nokia выпустит в ближайшее время такой телефон, но реальность увидеть его в будущем существует, и косвенно подтверждает это Sony, которая занимается разработкой биобатарей с 2007 г.

Элементы питания электронного гиганта работают на том же топливе, что и концепт Чжэна, – на глюкозе. Выделена она может быть, например, из риса, одна чаша которого содержит аналогичное 96 батареям AA количество «химической» энергии. Японский производитель игрушек Такага продемонстрировал несколько моделей радиоуправляемых машин с этими батареями. Суть процесса генерирования энергии аналогична – благода-



ря ферментам разлагается сладкий напиток или даже вода при условии содержания глюкозы около 7%. Согласно заявлению Такага, игрушечные автомобили функционируют 60 мин на 8 см³ жидкости. Чем более сладкий напиток, тем выше скорость машинок.

CrunchGear, Dezeen