

Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 18)

Валерий Зотов (Москва)

Восемнадцатая часть курса продолжает знакомить с параметрами отчётов о выполнении процедуры анализа временных характеристик, который проводится после отображения логического описания проекта на физические ресурсы ПЛИС и после размещения и трассировки проектируемого устройства в кристалле, и параметрами полной временной модели разрабатываемого устройства. Рассматривается выполнение процесса реализации разрабатываемого устройства в ПЛИС с архитектурой FPGA. Приводятся необходимые сведения о структуре и содержании отчётов, формируемых на этом этапе.

СОДЕРЖАНИЕ ОТЧЁТА О ВЫПОЛНЕНИИ ПРОЦЕССА ОТОБРАЖЕНИЯ ЛОГИЧЕСКОГО ОПИСАНИЯ ПРОЕКТИРУЕМОГО УСТРОЙСТВА НА ФИЗИЧЕСКИЕ РЕСУРСЫ КРИСТАЛЛА (MAP)

Быстрый доступ к отчёту о результатах отображения логического описания проекта на физические ресурсы кристалла осуществляется щелчком левой кнопки мыши на строке *MAP Report*, которая расположена во встроенной панели *FPGA Design Summary*. Кроме того, данный отчёт можно открыть двойным щелчком левой кнопки мыши на аналогичной строке, представленной в окне процессов *Processes Window* Навигатора проекта. В состав генерируемого отчёта входят два раздела, содержащих общие сведения о ходе и результатах выполнения процедуры *MAP*, и тринадцать секций, включающих в себя детализированную информацию. В первом разделе с заголовком *Design Information* сосредоточены данные об исходных параметрах проекта и процесса отображения логического описания проектируемого устройства на физические ресурсы ПЛИС:

```
Design Information
-----
Command Line :
D:\Xilinx\bin\nt\map.exe -ise
D:/Prj_n/jc2_vhd/jc2_vhd.ise
-intstyle ise -p xc3s200a-ft256-
5 -cm area -pr b -k 4 -c 100 -o
```

```
jc2_top_map.ncd
jc2_top.ngd jc2_top.pcf
Target Device : xc3s200a
Target Package : ft256
Target Speed : -5
Mapper Version : spartan3a --
$Revision: 1.36 $
```

Во второй части, озаглавленной *Design Summary*, представлена итоговая информация о результатах процесса отображения логического описания проекта на физические ресурсы кристалла и статистика используемых ресурсов ПЛИС для реализации разрабатываемого устройства:

```
Design Summary
-----
Number of errors: 0
Number of warnings: 1
Logic Utilization:
Number of Slice Flip Flops: 6
out of 3,584 1%
Number of 4 input LUTs: 5 out of
3,584 1%
Logic Distribution:
Number of occupied Slices: 5 out
of 1,792 1%
Number of Slices containing only
related logic: 5 out of 5 100%
Number of Slices containing
unrelated logic: 0 out of 5 0%
*See NOTES below for an explana-
tion of the effects of unrelated
logic
Total Number of 4 input LUTs: 5
```

```
out of 3,584 1%
Number of bonded IOBs: 8 out of
195 4%
Number of GCLKs: 1 out of 24 4%
Total equivalent gate count for
design: 81
Additional JTAG gate count for
IOBs: 384
Peak Memory Usage: 146 MB
Total REAL time to MAP comple-
tion: 13 secs
Total CPU time to MAP comple-
tion: 10 secs
```

В секциях с заголовками *Errors* и *Warnings* содержатся списки обнаруженных ошибок и предупреждений соответственно:

```
Section 1 - Errors
-----
Section 2 - Warnings
-----
WARNING:LIT:243 - Logical net-
work N12 has no load.
```

Раздел с заголовком *Informational* предлагает рекомендации для получения более эффективных результатов процесса отображения логического описания проектируемого устройства на физические ресурсы кристалла:

```
Section 3 - Informational
-----
INFO:MapLib:562 - No environment
variables are currently set.
INFO:MapLib:863 - The following
Virtex BUFG(s) is/are being
retargeted to
Virtex2 BUFGMUX(s) with input
tied to I0 and Select pin tied
to constant 0:
BUFGP symbol "CLK_BUFGP" (output
signal=CLK_BUFGP)
INFO:LIT:244 - All of the single
ended outputs in this design are
using slew
rate limited output drivers. The
```

delay on speed critical single ended outputs can be dramatically reduced by designating them as fast outputs in the schematic.

Секция *Removed Logic Summary* содержит общую информацию об элементах проекта, удалённых в процессе оптимизации:

Section 4 - Removed Logic Summary

```
-----
1 block(s) removed
1 block(s) optimized away
1 signal(s) removed
```

Более подробные сведения об элементах, исключённых в процессе выполняемой оптимизации проекта, представлены в секции *Removed Logic*:

Section 5 - Removed Logic

```
-----
To quickly locate the original cause for the removal of a chain of logic, look above the place where that logic is listed in the trimming report, then locate the lines that are least indented (begin at the leftmost edge). The signal "N12" is loadless and has been removed.
Loadless block "XST_GND" (ZERO) removed.
Optimized Block(s):
TYPE          BLOCK
VCC           XST_VCC
To enable printing of redundant blocks removed and signals merged, set the detailed map report option and rerun map.
```

Раздел *IOB Properties* предоставляет подробное описание параметров блоков ввода-вывода кристалла, используемых для реализации проектируемого устройства. Это описание выполнено в форме таблицы, в которой отражаются основные параметры конфигурации блоков ввода-вывода ПЛИС, задействованных в разрабатываемом устройстве. В частности, в этой таблице для каждого используемого контакта кристалла указывается тип вывода, тип буферного элемента, сигнальный стандарт ввода/вывода, нагрузочная способность и режим переключения сигналов.

Section 6 - IOB Properties

```
+-----+
| IOB | IOB | Direction | IO
Standard | Drive | Slew | Reg
(s) | Resistor | IBUF/IFD | SUS-
PEND |
| Name | Type | Direction | IO
Standard | Strength | Rate | | |
Delay | SUSPEND |
| | | | | | | | |
+-----+
| CLK | IBUF | INPUT | LVCMOS25
| | | | 0 / 0 | |
| LEFT | IBUF | INPUT | LVCMOS25
| | | | 0 / 0 | |
| Q<0> | IOB | OUTPUT | LVCMOS25
| 12 | SLOW | | | 0 / 0 | 3STATE
|
| Q<1> | IOB | OUTPUT | LVCMOS25
| 12 | SLOW | | | 0 / 0 | 3STATE
|
| Q<2> | IOB | OUTPUT | LVCMOS25
| 12 | SLOW | | | 0 / 0 | 3STATE
|
| Q<3> | IOB | OUTPUT | LVCMOS25
| 12 | SLOW | | | 0 / 0 | 3STATE
|
| RIGHT | IBUF | INPUT | LVC-
MOS25 | | | | 0 / 0 | |
| STOP | IBUF | INPUT | LVCMOS25
| | | | 0 / 0 | |
+-----+
```

В секции RPMs отражается информация о макросах с относительным размещением (*Relationally Placed Macro*), используемых в проекте. Раздел *Guide Report* представляет собой отчёт о выполнении процедур по образцу:

Section 7 - RPMs

Section 8 - Guide Report

Guide not run on this design.

Section 9 - Area Group and Partition Summary

```
-----
Partition Implementation Status
-----
No Partitions were found in this design.
```

Area Group Information

No area groups were found in this design.

В разделе *Modular Design Summary* приводятся данные модульного (распределённого) проектирования:

Section 10 - Modular Design Summary

Modular Design not used for this design.

Секция *Timing Report* представляет информацию о временных ограничениях, которые учитывались при осуществлении процесса отображения логического описания проектируемого устройства на физические ресурсы кристалла:

Section 11 - Timing Report

This design was not run using timing mode.

Раздел *Configuration String Details* содержит информацию о параметрах конфигурации специальных компонентов (например, блочной памяти Block RAM, цифровых модулей управления синхронизацией Digital Clock Manager (DCM)), используемых в составе разрабатываемого устройства:

Section 12 - Configuration String Details

Use the "-detail" map option to print out Configuration Strings

В секции *Control Set Information* приводится информация об управляющих параметрах для данного типа архитектуры:

Section 13 - Control Set Information

No control set information for this architecture.

СОДЕРЖАНИЕ ОТЧЁТОВ О ВЫПОЛНЕНИИ ПРОЦЕССА РАЗМЕЩЕНИЯ И ТРАССИРОВКИ ПРОЕКТИРУЕМОГО УСТРОЙСТВА В КРИСТАЛЛЕ

После выполнения заключительной фазы (Place-and-Route) процесса реализации (Implementation) автоматически формируются два отчёта:

Place-and-Route Report и *Pad Report*. Отчёт *Place-and-Route Report* представляет информацию обо всех итерациях процедур размещения и трассировки, которая включает данные о количестве разведённых и неразведённых цепей, сообщения об ошибках и предупреждения. Отчёт *Pad Report* описывает назначение всех выводов кристалла после загрузки конфигурационных данных проекта.

Первый отчёт открывается щелчком левой кнопки мыши на строке *Place-and-Route Report*, расположенной во встроенной панели *FPGA Design Summary* или двойным щелчком левой кнопки мыши на одноимённой строке, представленной в окне процессов *Processes Window*. В составе рассматриваемого отчёта можно выделить восемь частей.

В первой части приводится командная строка запуска процедур размещения и трассировки с указанием параметров инициализации:

```
par -w -intstyle ise -ol std -t
1 jc2_top_map.ncd jc2_top.ncd
jc2_top.pcf
Constraints file: jc2_top.pcf.
Loading device for application
Rf_Device from file '3s200a.nph'
in environment D:\Xilinx.
"jc2_top" is an NCD, version
3.1, device xc3s200a, package
ft256, speed -5
Initializing temperature to
85.000 Celsius. (default -
Range: 0.000 to 85.000 Celsius)
Initializing voltage to 1.140
Volts. (default - Range: 1.140
to 1.260 Volts)
INFO:Par:282 - No user timing
constraints were detected or you
have set the option to ignore
timing constraints ("par -x").
Place and Route will run in
"Performance Evaluation Mode" to
automatically improve the per-
formance of all internal clocks
in this design. The PAR timing
summary will list the perform-
ance achieved for each clock.
Note: For the fastest runtime,
set the effort level to "std".
For best performance, set the
effort level to "high". For a
balance between the fastest run-
time and best performance, set
the effort level to "med".
Device speed data version: "PRO-
DUCTION 1.37 2007-07-17".
```

Вторая часть отчёта предоставля-ет сведения о количестве различных ресурсов кристалла, используемых для реализации проектируемого устройства. Эта информация приведена в абсолютном и процентном выражении по отношению к общему объёму каждого типа ресурсов ПЛИС:

```
Design Summary Report:
Number of External IOBs 8 out of
195 4%
Number of External Input IOBs 4
Number of External Input IBUFs 4
Number of LOcEd External Input
IBUFs 4 out of 4 100%
Number of External Output IOBs 4
Number of External Output IOBs 4
Number of LOcEd External Output
IOBs 4 out of 4 100%
Number of External Bidir IOBs 0
Number of BUFGMUXs 1 out of 24
4%
Number of Slices 5 out of 1792
1%
Number of SLICEMs 0 out of 896
0%
```

В начале третьей части приводятся значения параметров процедур размещения и трассировки, используемых для управления оптимизацией. Далее следует информация о выполнении каждой фазы процесса размещения элементов проектируемого устройства в кристалле с указанием времени выполнения:

```
Overall effort level (-ol):
Standard
Placer effort level (-pl): High
Placer cost table entry (-t): 1
Router effort level (-rl):
Standard
.....
Starting Placer
Phase 1.1
Phase 1.1 (Checksum:9896b7) REAL
time: 10 secs
.....
Phase 9.5
Phase 9.5 (Checksum:55d4a77)
REAL time: 20 secs
REAL time consumed by placer: 20
secs
CPU time consumed by placer: 17
secs
Writing design to file
jc2_top.ncd
Total REAL time to Placer comple-
tion: 21 secs
```

```
Total CPU time to Placer comple-
tion: 18 secs
```

Четвёртая часть отчёта информирует о результатах выполнения каждой фазы процесса трассировки с указанием её длительности. Основным показателем при этом является количество неразведённых цепей проектируемого устройства:

```
Starting Router
Phase 1: 32 unrouted; REAL time:
25 secs
Phase 2: 28 unrouted; REAL time:
25 secs
...
Phase 11: 0 unrouted; (0) REAL
time: 25 secs
Total REAL time to Router comple-
tion: 25 secs
Total CPU time to Router comple-
tion: 22 secs
```

Пятая секция отчёта относится к проектам, представленным в виде отдельных сегментов. В этой части отображаются сведения о том, какие составляющие проекта участвовали в выполненном процессе размещения и трассировки и для каких использовались результаты предыдущих запусков этого процесса:

```
Partition Implementation Status
-----
No Partitions were found in this
design.
-----
```

Шестая часть содержит сведения обо всех тактовых сигналах, используемых в разрабатываемом устройстве, и их параметрах:

```
*****
Generating Clock Report
*****
+-----+
| Clock Net | Resource
|Locked|Fanout|Net Skew(ns)|Max
Delay(ns)|
+-----+
| CLK_BUFGP | BUFGMUX_X2Y11| No
| 4 | 0.026 | 0.903 |
+-----+
* Net Skew is the difference
between the minimum and maximum
routing
only delays for the net. Note
this is different from Clock
Skew which
```

is reported in TRCE timing report. Clock Skew is the difference between the minimum and maximum path delays which includes logic delays.

The Delay Summary Report

The NUMBER OF SIGNALS NOT COMPLETELY ROUTED for this design is: 0

The AVERAGE CONNECTION DELAY for this design is: 0.658

The MAXIMUM PIN DELAY IS: 1.091

The AVERAGE CONNECTION DELAY on the 10 WORST NETS is: 0.829

Listing Pin Delays by value: (nsec)

```
d < 1.00 < d < 2.00 < d < 3.00 <
d < 4.00 < d < 5.00 d >= 5.00
-----
27 2 0 0 0 0
```

В седьмой части приводится информация о выполнении временных ограничений, установленных в проекте:

Timing Score: 0

Asterisk (*) preceding a constraint indicates it was not met.

This may be due to a setup or hold violation.

```
-----
Constraint | Check | Worst Case
| Best Case | Timing | Timing |
| | Slack | Achievable | Errors
| Score |
-----
Autotimespec constraint | SETUP
| N/A | 1.790ns | N/A | 0 |
for clock net CLK
_BUFGRP | HOLD | 0.869ns | | 0 |
-----
All constraints were met.
INFO:Timing:2761 - N/A entries
in the Constraints list may
indicate that the
constraint does not cover any
paths or that it has no request-
ed value.
```

Восьмая часть предоставляет итоговую информацию о результатах выполнения процедур размещения и трассировки проектируемого устройства в кристалле:

Generating Pad Report.

All signals are completely routed.

Total REAL time to PAR completion: 28 secs

```
Total CPU time to PAR completion: 24 secs
Peak Memory Usage: 142 MB
Placement: Completed - No errors found.
Routing: Completed - No errors found.
Number of error messages: 0
Number of warning messages: 0
Number of info messages: 1
Writing design to file
jc2_top.ncd
PAR done!
```

Доступ к отчёту *Pad Report* предоставляет строка с его названием, которая отображается в окне процессов *Processes Window* Навигатора проекта. Данный отчёт представляет собой текстовый файл, который содержит таблицу с заголовком *Pinout by Pin Number*. Данная таблица содержит шестнадцать колонок: *Pin Number, Signal Name, Pin Usage, Pin Name, Direction, IO Standard, IO Bank Number, Drive (mA), Slew Rate, Termination, IOB Delay, Voltage, Constraint, DCI Value, IO Register, Signal Integrity*. В этих колонках для каждого вывода ПЛИС приводятся значения соответствующих параметров. Фрагмент отчёта *Pad Report* для проекта счётчика Джонсона имеет следующий вид:

```
A10|Q<2>|IOB|IO_L08N_0|OUTPUT|LVC
MOS25|0|12|SLOW|NONE**| | |LOCAT-
ED| |NO|NONE|
A11|Q<0>|IOB|IO_L07N_0|OUTPUT|LVC
MOS25|0|12|SLOW|NONE**| | |LOCAT-
ED| |NO|NONE|
A12| |DIFFSTB|IO_L05N_0|UNUSED|
|0| | | | | | | | |
A13|CLK|IBUF|IO_L04N_0|INPUT|LVC-
MOS25|0| | | |IBUF| |LOCATED|
|NO|NONE|
A14| |DIFFMTB|IO_L04P_0|UNUSED|
|0| | | | | | | | |
A15| | |TCK| | | | | | | | |
A16| | |GND| | | | | | | | |
B1| | |TDI| | | | | | | | |
B2| | |TMS| | | | | | | | |
B3| |DIFFSTB|IO_L19N_0|UNUSED|
|0| | | | | | | | |
B4| |DIFFSTB|IO_L18N_0|UNUSED|
|0| | | | | | | | |
B5| | |VCCO_0| | |0| | | | |
|2.50| | | | |
B6| |DIFFSTB|IO_L15N_0|UNUSED|
|0| | | | | | | | |
B7| | |GND| | | | | | | | |
B8|
|DIFFSTB|IO_L12N_0|GCLK11|UNUSED|
```

```
10| | | | | | | | |
B9| | |VCCO_0| | |0| | | | |
|2.50| | | | |
B10|Q<3>|IOB|IO_L08P_0|OUTPUT|LVC
MOS25|0|12|SLOW|NONE**| | |LOCAT-
ED| |NO|NONE|
```

Кроме автоматически сформированных отчётов о выполнении процедур размещения и трассировки, рассмотренных выше, разработчик может изучить дополнительную информацию о временных параметрах проектируемого устройства, сгенерировав отчёты *ClockRegion Report* и *Asynchronous Delay Report*. Для их создания нужно дважды щёлкнуть левой кнопкой мыши на одноимённых строках, представленных в окне процессов *Processes Window*. Содержание этих отчётов не рассматривается из-за ограничений объёма журнальной публикации.

При достижении успешных результатов размещения и трассировки проектируемого устройства в кристалле можно перейти непосредственно к этапу конфигурирования ПЛИС. Но предварительно рекомендуется выполнить окончательную верификацию проекта методом временного моделирования, используя средства моделирования Xilinx ISE Simulator или *ModelSim Simulator*.

Чтобы получить доступ к строке запуска процесса полного (временного) моделирования проектируемого устройства, следует в окне исходных модулей *Sources Window* управляющей оболочки Навигатора проекта выбрать режим отображения файлов исходных описаний, предназначенных для выполнения данного этапа. Для этого необходимо в выпадающем списке поля *Sources for:* выбрать строку *Post-Place & Route Simulation*. Затем в появившемся списке нужно выделить строку с названием используемого тестового файла, поместив на неё курсор мыши и щёлкнув левой кнопкой. Процесс полного временного моделирования активируется двойным щелчком левой кнопкой мыши на строке *Simulate Post-Place & Route Model*, отображаемой в окне процессов *Processes Window*, и выполняется так же, как и для устройств, реализуемых на базе ПЛИС семейств CPLD (см. пятнадцатую часть курса).



Продолжение следует