

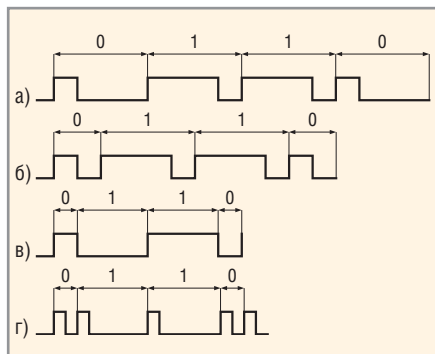
# Самосинхронизирующиеся коды и их преобразователи

(часть 2)

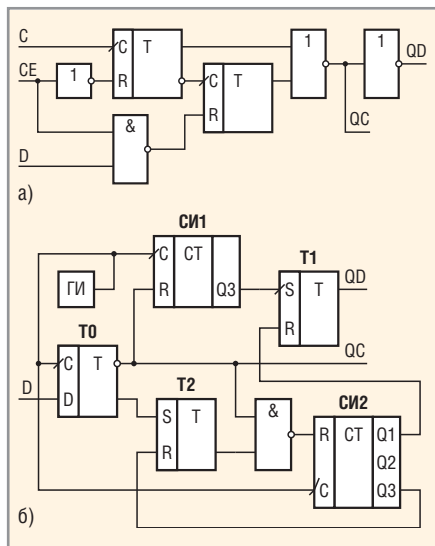
**Сергей Гончаров, Олег Островский, Геннадий Шишкин (Нижегородская обл.)**

**Предложены способы построения самосинхронизирующихся кодов с широтной манипуляцией с постоянной паузой и без паузы, а также с интервальной и амплитудной манипуляцией, призванные уменьшить время передачи информации. Описаны схмотехнические решения соответствующих кодирующих и декодирующих устройств.**

Одним из вариантов самосинхронизирующихся кодов является широтно-манипулированный код с постоянной тактовой частотой (ШМ-ПЧ). Способы построения преобразователей кода ШМ-ПЧ были рассмотрены в первой части статьи. Дальнейшее совершенствование кода ШМ-ПЧ может быть направлено, в частности, на уменьшение времени передачи информации. При этом



**Рис. 1. (а) Элементы кодов ШМ-ПЧ, (б) ШМ-ПП, (v) ШМ-БП, (г) ИМ**



**Рис. 2. (а) Кодирующее и (б) декодирующее устройства кода ШМ-ПП**

возможны два варианта ШМ-кода: ШМ-код с постоянной паузой (ШМ-ПП) и ШМ-код без паузы (ШМ-БП), а также код с интервальной манипуляцией (ИМ).

Элементы кодов ШМ-ПЧ, ШМ-ПП, ШМ-БП, ИМ показаны на рисунках 1а – 1г соответственно. При этом, если в коде ШМ-ПЧ длительность сигнала лог. 0 равна  $TT/4$ , где  $TT$  – длительность тактового интервала, а длительность сигнала лог. 1 равна  $3TT/4$ , то время передачи информационной посылки с равным количеством сигналов лог. 0 и лог. 1 при использовании кода ШМ-ПП уменьшается на 25%, а при использовании кода ШМ-БП или ИМ – на 50%. В качестве недостатка кодов ШМ-ПП, ШМ-БП, ИМ можно отметить разное время передачи сигналов лог. 0 и лог. 1 и, как следствие, переменный период повторения кодовых импульсов: от  $TT/2$  до  $TT$  в коде ШМ-ПП, от  $TT/2$  до  $3TT/2$  в коде ШМ-БП и от  $TT/4$  до  $3TT/4$  в коде ИМ.

Кодирующее устройство кода ШМ-ПП может быть построено на основе элемента задержки в виде сдвигающего регистра или счётчика импульсов. При использовании сдвигающего регистра его разряды должны последовательно переключаться в состояние лог. 1 сигналами с периодом повторения  $TT/4$ . Сброс всех разрядов в состояние лог. 0 должен производиться в моменты переключения в лог. 1 триггера второго разряда при наличии на входе информации лог. 0 или в момент переключения триггера четвертого разряда при наличии на входе информации лог. 1. Информация в коде ШМ-ПП формируется на выходе первого разряда регистра. Сдвиг разрядов входной информации производится в момент обнуления регистра.

Алгоритм функционирования кодирующего устройства кода ШМ-ПП на основе двухразрядного счётчика импульсов представлен в таблице, где Q1 и Q2 – выходные сигналы соответственно первого и второго разрядов счётчика, D – входной, а QD – выходной информационный сигнал. Из таблицы видно, что первый разряд счётчика переключается независимо от входной информации. Переключение второго разряда разрешается только при наличии на входе информации лог. 1. Выходной сигнал формируется при нахождении триггера любого разряда в состоянии лог. 1. Схема соответствующего кодирующего устройства [1] приведена на рисунке 2а. На вход CE подаётся строб-импульс положительной полярности, разрешающий преобразование входной информации. Фронт строб-импульса запускается фронтом одного из тактовых импульсов с периодом повторения  $TT/4$ , поступающих на вход С. Сдвиг информации на входе D осуществляется по положительному перепаду сигнала на выходе QC. После формирования информационной посылки сигнал CE заканчивается по положительному перепаду сигнала на выходе QC.

Для декодирования кода ШМ-ПП необходимо обеспечить задержку входного сигнала на время  $TT/2$  и опрос состояния устройства задержки по срезу входного сигнала. Схемная реализация соответствующего декодирующего устройства [2] представлена на рисунке 2б, где ГИ – генератор тактовых импульсов с периодом повторения  $TT/8$ . Триггер T0 обеспечивает привязку входных сигналов к тактовым импульсам [3]. Устройство задержки реализовано на счётчике СИ1 и триггере T1. Триггер T2 и счётчик СИ2 выполняют функцию устройства управления.

При включении питания триггеры T1 и T2 устанавливаются в состояние лог. 0. При этом все разряды счётчика СИ2 удерживаются в состоянии лог. 0. При наличии в режиме ожидания входной информации на входе D сиг-

нала лог. 0 разряды счётчика СИ1 также удерживаются в состоянии лог. 0.

При поступлении положительного импульса на вход D триггер Т0 переключается фронтом импульса генератора в состояние лог. 1 и переключает в лог. 1 триггер Т2. При этом счётчик СИ2 удерживается в исходном состоянии выходным сигналом триггера Т0. При переключении триггера Т0 снимается удерживающий сигнал на R-входе счётчика СИ1 и разрешается его переключение импульсами генератора. Если на D-входе присутствует сигнал лог. 1, то через время  $TТ/2$  после переключения триггера Т0 выходным сигналом счётчика СИ1 триггер Т1 переключается в состояние лог. 1. Если на D-входе присутствует сигнал лог. 0, то к моменту его окончания триггер Т1 не успеет переключиться.

При окончании положительного импульса на D-входе устройства триггер Т0 переключается фронтом импульса генератора в состояние лог. 0. При этом фронтом выходного импульса триггера Т0 на выходе QC производится опрос состояния триггера Т1 по выходу QD и запись информации в приёмное устройство. Одновременно разрешается переключение счётчика СИ2 и с задержкой  $TТ/8$  производится установка триггера Т1 в лог. 0. Далее устройство работает аналогичным образом.

После окончания информационной посылки на входе D, когда пауза превышает значение  $TТ/4$ , триггер Т2 устанавливается выходным сигналом счётчика СИ2 в состояние лог. 0 и устройство переходит в режим ожидания входной информации.

Схема кодирующего устройства ШМ-БП [4, 5] на основе двухразрядного счётчика импульсов приведена на

рис. 3а. При нахождении переключателя П в состоянии «1» выходная информация формируется устройством Ф1. В режиме ожидания входной информации триггеры счётчика и формирователя Ф1 удерживаются в состоянии лог. 0 сигналом СЕ. На выходе QDш присутствует лог. 0.

По фронту одного из тактовых импульсов, поступающих на вход С устройства с периодом  $TТ/4$ , формируется отрицательный перепад импульса на входе СЕ, вызывающий формирование положительного перепада сигнала на информационном выходе QDш. Одновременно разрешается переключение счётчика и, в зависимости от сигнала на информационном входе D, с задержкой  $TТ/4$  или  $3TТ/4$  формирователь Ф0 переключается в состояние лог. 1 на время действия тактового импульса. Выходной сигнал Ф0 вызывает переключение триггера Ф1 и изменение сигнала на выходе QDш, установку в лог. 0 триггеров счётчика и смену информации на входе D путём выдачи сигнала на выход QC. После окончания информационной посылки на входе СЕ устанавливается лог. 1, и устройство переходит в режим ожидания.

При нахождении переключателя П в положении «2» выходная информация формируется устройством Ф2. При этом при поступлении сигнала лог. 0 на вход СЕ по срезу тактового импульса разрешается переключение триггеров Ф2. После этого первый тактовый импульс проходит через элемент ИЛИ-НЕ и вызывает переключение триггеров Т1 и Т2 в состояние лог. 1, формируя положительный перепад сигнала на выходе QDш. Одновременно указанный тактовый импульс проходит на вы-

Алгоритм функционирования кодирующего устройства

D	Q1	Q2	QD
0	0	0	0
0	1	0	1
1	0	0	0
1	1	0	1
1	0	1	1
1	1	1	1

ход QDi для формирования информации в коде ИМ. После переключения триггера Т1 прохождение тактовых сигналов через элемент ИЛИ-НЕ запрещено. Дальнейшее переключение триггера Т2 и формирование сигналов на выходах QDi и QDш осуществляется импульсами формирователя Ф0.

Поскольку устройство Ф1 проще Ф2, первый целесообразно использовать для формирования выходной информации в коде ШМ-БП, а Ф2 предпочтительно использовать для формирования выходной информации в коде ИМ [6, 7].

Аналогичное кодирующее устройство можно построить на основе сдвигающего регистра. При этом, в зависимости от сигнала на информационном входе D, формирователь Ф0 должен запускаться сигналом лог. 1 с выхода первого или третьего разрядов.

Декодирующее устройство кода ШМ-БП [8, 9] может быть построено на основе двух параллельно включенных счётчиков, один из которых измеряет длительность входных информационных импульсов, а второй – длительность пауз между импульсами, как показано на рис. 3б.

В режиме ожидания информации на D-входе присутствует уровень лог. 0. Генератор ГИ формирует импульсы с периодом повторения  $TТ/8$ . Триггеры

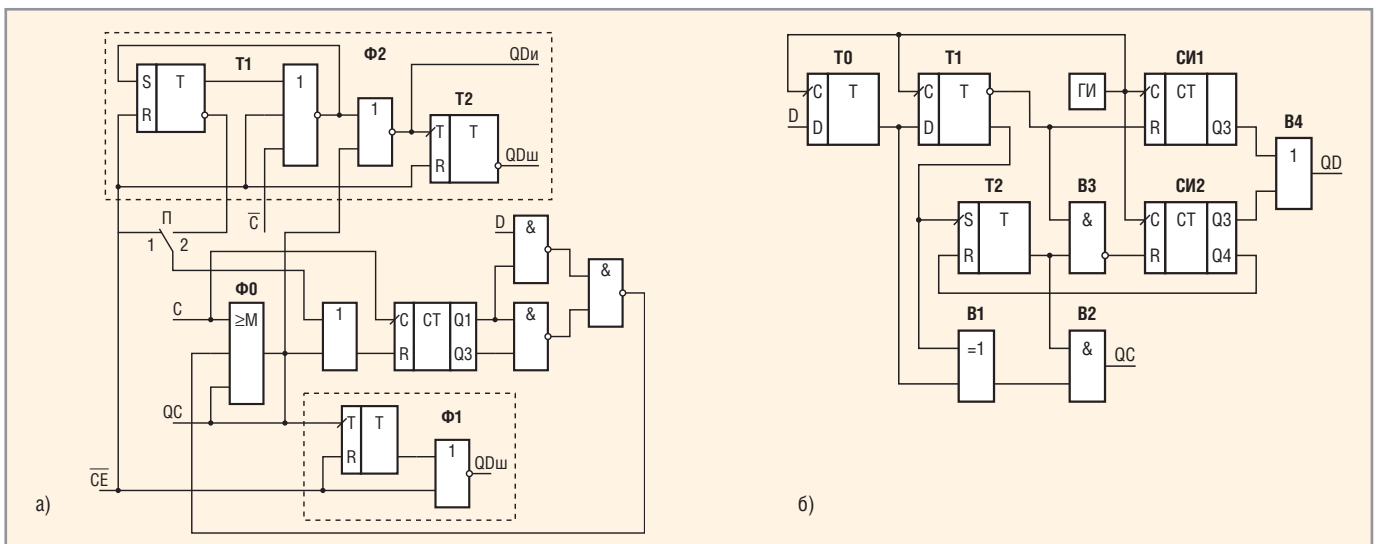


Рис. 3. (а) Кодирующее и (б) декодирующее устройства кода ШМ-БП

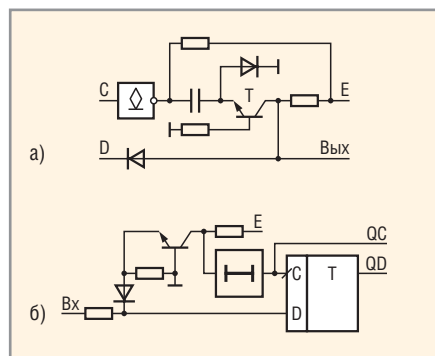


Рис. 4. (а) Кодирующее и (б) декодирующее устройства кода АМ

T0, T1, T2 и счётчики СИ1 и СИ2 находятся в состоянии лог. 0. На тактовом (QC) и информационном (QD) выходах удерживается лог. 0.

При поступлении положительного импульса на D-вход триггер T0 переключается в состояние лог. 1 фронтом импульса генератора. На выходе элемента V1 формируется положительный импульс, прохождение которого на выход QC через элемент V2 запрещено сигналом лог. 0 с выхода триггера T2. С задержкой  $TT/8$  относительно момента переключения триггера T0 фронтом импульса генератора триггер T1 переключается в состояние лог. 1. При этом на выходе элемента V1 устанавливается лог. 0, разрешается переключение счётчика СИ1 и переключается в состояние лог. 1 триггер T2, разрешая дальнейшее прохождение импульсов с выхода элемента V1 на выход QC устройства. На выходе элемента V3 сохраняется уровень лог. 1, запрещающий переключение счётчика СИ2.

По окончании входного импульса на D-входе устанавливается уровень лог. 0, вызывающий переключение триггера T0 фронтом импульса генератора в состояние лог. 0. На выходе V1 формируется положительный импульс длительностью  $TT/8$ , который проходит на тактовый выход QC и производит опрос информации на выходе QD. Если к моменту опроса триггер третьего разряда счётчика СИ1 переключится в состояние лог. 1, что свидетельствует о поступлении на вход D сигнала лог. 1 длительностью больше  $TT/2$ , то на выходе QD появится лог. 1. В противном случае на выходе QD сохранится лог. 0.

После переключения триггера T0 с задержкой  $TT/8$  триггер T1 переключается в состояние лог. 0. Тактовый импульс на выходе QC заканчивается. Счётчик СИ1 устанавливается в со-

стояние лог. 0. Разрешается переключение счётчика СИ2 и аналогичным образом анализируется длительность паузы. Если пауза превышает по длительности значение  $TT$ , что свидетельствует об окончании информационной посылки, триггер четвёртого разряда счётчика СИ2 переключается в состояние лог. 1, что вызывает переключение триггера T2 в состояние лог. 0 и обнуление счётчика СИ2. Устройство переходит в режим ожидания входной информации.

Триггеры T0 и T1 в схеме рис. 3б образуют двухразрядный сдвигающий регистр. При добавлении в сдвигающий регистр третьего разряда декодирующее устройство может быть построено на основе одного счётчика СИ2 с использованием элементов V1, V2, V3 и триггеров T0, T1, T2. При этом обнуление счётчика СИ2 необходимо производить не при установке триггера T1 в состояние лог. 1, а при неравенстве сигналов на выходах второго и третьего разрядов регистра. В представленных декодирующих устройствах вместо счётчиков можно использовать сдвигающие регистры. Для декодирования входной информации в ИМ-коде на D-вход устройства необходимо установить счётный триггер.

Кроме рассмотренных способов, для построения самосинхронизирующегося кода можно использовать амплитудную манипуляцию (АМ) [10, 11] путём передачи в первой половине тактового интервала тактового импульса отрицательной полярности, а во второй половине – информации в виде положительного уровня лог. 0 или лог. 1. Соответствующие схемы кодирующего и декодирующего устройств показаны на рисунке 4.

В исходном состоянии кодирующего устройства (см. рис. 4а) выходной транзистор КМОП логического элемента с открытым стоком закрыт. Конденсатор заряжен до напряжения источника питания E. При поступлении тактового импульса на C-вход транзистор логического элемента открывается. Биполярный транзистор T открывается отрицательным напряжением на эмиттере. На выходе устройства формируется отрицательный импульс с амплитудой, практически равной E. За время тактового импульса напряжение на конденсаторе практически не изменяется.

По окончании тактового импульса транзистор логического элемента и биполярный транзистор T закры-

ваются. Напряжение на конденсаторе восстанавливается, а на выходе устройства формируется логический уровень, задаваемый сигналом на информационном D-входе.

В декодирующем устройстве, представленном на рис. 4б, при поступлении тактового сигнала открывается транзистор T, и на выходе QC с некоторой задержкой формируется тактовый импульс, по заднему фронту которого D-триггер переключается в состояние, задаваемое входным сигналом, и формирует на выходе QD последовательный двоичный код.

## ЛИТЕРАТУРА

1. Курочкин А.А., Шишкин Г.И. Преобразователь кода. Патент 2250562 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2005. № 11.
2. Курочкин А.А., Шишкин Г.И. Преобразователь кода. Патент 2260907 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2005. № 26.
3. Потемкин И.С. Функциональные узлы цифровой автоматики. Энергоатомиздат, 1988.
4. Курочкин А.А., Шишкин Г.И., Шубин В.В. Преобразователь кода. Патент 2258304 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2005. № 22.
5. Островский О.А., Шишкин Г.И., Шубин В.В. Преобразователь кода. Патент 2282306 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2006. № 23.
6. Ивченко С.Н., Шишкин Г.И., Шубин В.В. Преобразователь бинарного кода в фазоманипулированный код. Патент 2285334 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2006. № 28.
7. Ивченко С.Н., Шишкин Г.И., Шубин В.В. Преобразователь фазоманипулированного кода в бинарный код. Патент 2297096 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2007. № 10.
8. Курочкин А.А., Шишкин Г.И., Шубин В.В. Преобразователь кода. Патент 2259010 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2005. № 23.
9. Курочкин А.А., Шишкин Г.И., Шубин В.В. Преобразователь кода. Патент 2262191 РФ, МКИ H03M5/12. Изобретения. Полезные модели. 2005. № 28.
10. Клошев А.В., Шишкин Г.И. Преобразователь двоичного кода в биполярный код. Патент 2218660 РФ, МКИ H03M5/18. Изобретения. Полезные модели. 2003. № 34.
11. Клошев А.В., Шишкин Г.И. Преобразователь биполярного кода в однополярный. Патент 2227367 РФ, МКИ H03M5/18. Изобретения. Полезные модели. 2004. № 11. ©