

# Практический курс сквозного проектирования цифровых устройств на основе ПЛИС фирмы Xilinx

(часть 16)

**Валерий Зотов (Москва)**

В шестнадцатой части курса раскрывается содержание этапа реализации проектируемого устройства на базе ПЛИС с архитектурой FPGA. Приводится краткое описание основных параметров, предназначенных для управления процессами трансляции, отображения логического описания проекта на физические ресурсы ПЛИС, размещения и трассировки разрабатываемого устройства в кристалле.

## СТРУКТУРА ЭТАПА РЕАЛИЗАЦИИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ НА БАЗЕ FPGA ФИРМЫ XILINX

Этап реализации (Implementation) проектируемых устройств, выполняемых на базе ПЛИС семейств FPGA, включает в себя три фазы: трансляцию (Translate), отображение логического описания проекта на физические ресурсы кристалла (map), размещение и трассировку (Place and Route). В процессе трансляции производится объединение всех списков соединений, входящих в состав проекта, и информации обо всех ограничениях, которая содержится в файлах UCF и NCF. В результате выполнения фазы трансляции формируется логическое описание (в формате NGD) проектируемого устройства в терминах примитивов Xilinx низкого уровня с учётом временных и топологических ограничений. На второй стадии рассматриваемого этапа логическое описание проекта, полученное на предыдущем шаге, проектируется на физические ресурсы выбранного типа ПЛИС с архитектурой FPGA. При этом выполняется оптимизация проекта в соответствии с выбранным критерием и заданными ограничениями. В процессе размещения и трассировки выбирается наилучшее расположение конфигурируемых логических блоков, реализующих соответствующие функции проектируемого устройства, и выполняются необходимые соединения

с учётом временных и топологических ограничений.

Основным результатом выполнения рассматриваемого этапа является создание двоичного файла, который описывает использование физических ресурсов кристалла для реализации элементов (функций) проектируемого устройства и выполнения необходимых соединений между ними. Этот файл затем используется для генерации конфигурационной последовательности ПЛИС.

## УСТАНОВКА ПАРАМЕТРОВ ПРОЦЕССА РЕАЛИЗАЦИИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ НА БАЗЕ FPGA

Для управления процедурами этапа реализации проектируемых устройств, выполняемыми в автоматическом режиме, используются соответствующие параметры. Их значения могут быть заданы двумя способами: поочередно, для каждой фазы в отдельности, например, перед её активизацией, или сразу для всего процесса реализации (Implementation) в целом.

Чтобы открыть диалоговую панель, предназначенную для определения значений соответствующих параметров, необходимо выполнить ту же последовательность действий, что и при выборе опций этапа реализации разрабатываемых устройств на базе ПЛИС с архитектурой CPLD. При использовании второго способа диалоговая панель параметров содержит

семь страниц: *Translate Properties*, *MAP Properties*, *Place and Route Properties*, *Post-Map Static Timing Report Properties*, *Post-Place & Route Static Timing Report Properties*, *Simulation Model Properties*, *Xplorer Properties*, доступ к которым предоставляет интерактивный список *Category*, отображаемый в левой части этой панели. На каждой из этих страниц расположена соответствующая группа (категория) параметров, представленных в виде таблицы, структура которой была подробно рассмотрена ранее.

Страница *Translate Properties* содержит таблицу параметров, используемых для управления процедурой трансляции проекта. На странице *MAP Properties* расположены параметры выполнения процедуры отображения логического описания проектируемого устройства на физические ресурсы кристалла. Страница *Place and Route Properties* объединяет параметры управления процедурами размещения и трассировки проекта в кристалле. Страницы *Post-Map Static Timing Report Properties* и *Post-Place & Route Static Timing Report Properties* содержат параметры отчётов о выполнении анализа временных характеристик, который может быть проведён после отображения логического описания проекта на физические ресурсы ПЛИС и после размещения и трассировки проектируемого устройства в кристалле. На странице *Simulation Model Properties* представлены параметры полной временной модели, генерируемой на основе результатов процесса размещения и трассировки проектируемого устройства в кристалле ПЛИС. Страница *Xplorer Properties* открывает доступ к параметрам применения технологии *Xplorer*.

Переход к требуемой странице этой диалоговой панели осуществляется щелчком левой кнопки мы-

ши на строке с её названием в списке *Category*. Установка значений параметров производится теми же методами, что и в диалоговой панели параметров этапа реализации проектируемых устройств, выполняемых на базе ПЛИС семейств CPLD, представленного в предыдущей части цикла. Рассмотрим подробнее параметры каждой фазы процесса реализации.

### КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ПРОЦЕССОМ ТРАНЛЯЦИИ ПРОЕКТОВ, РЕАЛИЗУЕМЫХ НА БАЗЕ FPGA

Параметр *Use LOC Constraints* позволяет исключить в процессе трансляции топологические ограничения, устанавливаемые с помощью выражений  $LOC = \dots$ , которые располагаются в модулях исходного описания и файлах UCF. Блокировка ограничений на размещение объектов и цепей проектируемого устройства необходима в случае изменения архитектуры, семейства или корпуса ПЛИС, используемых для его реализации. По умолчанию установлено значение «включено», при котором трансляция проекта осуществляется с учётом топологических ограничений размещения LOC.

С помощью параметра *Netlist Translation Type* устанавливается режим обновления промежуточных файлов (NGO) в процессе повторной трансляции проекта. Если в состав проекта входят модули, содержащие списки цепей (netlist), представленные в формате EDIF или XNF, то непосредственно перед трансляцией они автоматически преобразуются в промежуточные файлы двоичного формата. При повторной трансляции (когда соответствующие файлы NGO уже существуют) эта операция может быть исключена в зависимости от значения параметра *Netlist Translation Type*. Выпадающий список возможных значений этого параметра содержит три элемента: *Timestamp*, *On*, *Off*. При выборе значения *Timestamp*, установленного по умолчанию, повторное автоматическое преобразование выполняется только для тех списков цепей (файлов EDIF и XNF), которые имеют более поздние дату и время создания, чем соответствующий промежуточный файл NGO. Значение *On*

предписывает всегда выполнять перед трансляцией автоматическое обновление промежуточных файлов (NGO) для всех списков цепей, представленных в формате EDIF и XNF. При установке значения *Off* повторное автоматическое преобразование файлов EDIF и XNF не производится (используются существующие версии промежуточных файлов NGO).

Параметр *Macro Search Path* позволяет указать полное название каталога, в котором производится дополнительный поиск описаний макросов, компонентов схем, определяемых с помощью атрибутов FILE, промежуточных файлов NGO, а также файлов NGC и EDIF. Название требуемой папки может быть введено непосредственно с клавиатуры после активации поля редактирования значения этого параметра или выбрано при использовании стандартной диалоговой панели выбора каталога, которая открывается при нажатии кнопки с пиктограммой в виде многоточия «...». В строке значения параметра *Macro Search Path* можно указать названия нескольких каталогов, отделяя их символом «|».

Значение параметра *Create I/O Pads from Ports* разрешает или запрещает автоматическое формирование контактов (PAD) для всех интерфейсных цепей (Ports) описания верхнего уровня иерархии. Этот параметр следует использовать при наличии списков цепей, представленных в формате EDIF, в которых символы выводов представлены в виде сигналов интерфейса. По умолчанию для этого параметра установлено значение «выключено», запрещающее автоматическое создание контактов для интерфейсных цепей модуля верхнего уровня иерархии проекта.

С помощью параметра *Allow Unexpanded Blocks* осуществляется управление процессом создания результирующего файла NGD при обнаружении нетранслируемых блоков. В процессе трансляции выполняется преобразование блоков в списках цепей к уровню NGD-примитивов. Если встречается блок, который не может быть представлен на уровне соответствующих примитивов, в нормальном режиме выдаётся сообщение об ошибке и файл NGD не создаётся. При установке параметра *Allow Unexpanded Blocks* в состояние «включено» в случае обнаружения нераскры-

ваемых блоков, средства трансляции формируют выходной файл NGD, в который помещаются также нетранслируемые элементы и соответствующее предупреждение. Таким образом, можно выполнить процессы размещения, трассировки, временного анализа и моделирования для незаконченных проектов. Значение «выключено», установленное по умолчанию, останавливает процесс трансляции при обнаружении нераскрываемых блоков.

Значение параметра *User Rules File for Netlist Launcher* определяет название файла, содержащего набор инструкций, которые используются для управления процессами трансляции. В этом файле разработчик может указать допустимые файлы списков цепей и параметры их чтения. Установка значения этого параметра выполняется теми же способами, которые были рассмотрены выше для определения названия каталога, содержащего описание макросов *Macro Search Path*. Название файла инструкций, определяемого разработчиком, должно иметь расширение *urf*. Если в поле редактирования параметра *User Rules File for Netlist Launcher* указано название файла без расширения, то средства трансляции автоматически присвоят этому файлу расширение *urf*. При вводе идентификатора файла с иным расширением на экран выводится сообщение об ошибке.

Параметр *Allow Unmatched LOC Constraints* позволяет исключить из рассмотрения топологические ограничения, устанавливаемые с помощью выражений  $LOC = \dots$ , которые относятся к объектам (цепям, элементам, контактам), отсутствующим (не найденным) в модулях исходного описания проектируемого устройства. Если в файлах ограничений UCF или NCF встречается выражение  $LOC = \dots$ , в котором указано название объекта, не соответствующее описанию и параметрам проекта, то при этом в обычном режиме, принятом по умолчанию (когда для параметра *Allow Unmatched LOC Constraints* задано значение «выключено»), выдаётся сообщение об ошибке и файл NGD не создаётся. При установке параметра *Allow Unmatched LOC Constraints* в состояние «включено» в случае обнаружения несогласованных выражений ограничений, средства трансляции

формируют выходной файл NGD и соответствующее предупреждение вместо сообщения об ошибке. Применение данного параметра актуально при трансляции незавершённых проектов.

С помощью параметра *Preserve Hierarchy on Sub Module* предоставляется возможность сохранения иерархической структуры исходных модулей проекта, которые представлены в виде отдельных списков соединений. Сохранение иерархической структуры существенно облегчает последующую верификацию проектируемого устройства. По умолчанию для этого параметра установлено значение «выключено», при котором иерархическая структура не сохраняется при трансляции проекта.

Параметр *Other Ngdbuild Command Line Options* позволяет задать дополнительные команды для программы *Ngdbuild*, используемой при трансляции синтезированного описания проектируемого устройства. Требуемые команды необходимо указать в поле редактирования значения данного параметра, отделяя друг от друга пробелами.

### **КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ПРОЦЕДУРОЙ ОТОБРАЖЕНИЯ ЛОГИЧЕСКОГО ОПИСАНИЯ ПРОЕКТА НА ФИЗИЧЕСКИЕ РЕСУРСЫ КРИСТАЛЛА FPGA**

Значение параметра *Perform Timing-Driven Packing and Placement* определяет, будет ли при выполнении процесса упаковки и размещения проекта в кристалле предоставляться приоритет для критических цепей (сигналов), информация о которых представлена в виде соответствующих временных ограничений. При значении «выключено», установленном по умолчанию, указанные процедуры выполняются без учёта критических цепей (сигналов) в процессе оптимизации. Данный параметр используется только для проектов, реализуемых на основе ПЛИС семейств Spartan-3, Spartan-3A, Spartan-3E, Virtex-II, Virtex-II Pro и Virtex-4.

Параметр *Perform Timing-Driven Packing* позволяет включить оптимизацию с учётом временных ограничений в процессе упаковки проекта в

ПЛИС. Значение этого параметра определяет, будет ли при выполнении данной фазы этапа реализации предоставляться приоритет для критических цепей (сигналов). При значении «выключено», установленном по умолчанию, такая оптимизация не производится. Данный параметр применяется только для проектов, реализуемых на базе кристаллов семейств Spartan-II, Spartan-III и Virtex.

С помощью параметра *Map Effort Level* задаётся уровень оптимизации, выполняемой в процессе отображения логического описания проекта на физические ресурсы кристалла. Этот параметр доступен только для проектов, реализуемых на основе ПЛИС семейств Spartan-3, Spartan-3A, Spartan-3E, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5, когда для параметра *Perform Timing-Driven Packing and Placement* указано значение «включено». Выпадающий список возможных значений параметра *Map Effort Level* содержит три варианта: *Standard*, *Medium* и *High*. При выборе значения *Standard* устанавливается минимальный уровень оптимизации при максимальной скорости выполнения данной фазы этапа реализации. Использование значения *Medium*, предлагаемого по умолчанию для всех перечисленных выше семейств ПЛИС, кроме Virtex-5, приводит к среднему уровню оптимизации результатов выполнения фазы Map при средней длительности этого процесса. В случае выбора варианта *High*, который предлагается по умолчанию для проектов, реализуемых на базе кристаллов семейства Virtex-5, достигается наивысший уровень оптимизации за счёт значительного увеличения времени выполнения этой процедуры.

Параметр *Extra Effort* предназначен для управления выделением дополнительного времени, которое используется для оптимизации, выполняемой в процессе отображения логического описания проекта на физические ресурсы кристалла. Данный параметр доступен только в том случае, если выбран максимальный уровень оптимизации (для параметра *Map Effort Level* указано значение *High*). В выпадающем списке возможных значений параметра *Extra Effort* представлено три варианта: *None*, *Normal* и *Continue on Impossible*. При использовании значения *None*, установленного по умолчанию, дополни-

тельное время для оптимизации не выделяется. Когда выбран вариант *Normal*, процесс оптимизации осуществляется до тех пор, пока выполняются указанные разработчиком временные ограничения, и завершается при обнаружении невозможности удовлетворения заданных условий. Если для рассматриваемого параметра выбрано значение *Continue on Impossible*, то процесс оптимизации будет выполняться до момента, пока не прекратится повышение эффективности достигаемых результатов, без учёта возможности удовлетворения заданным временным ограничениям.

Значение параметра *Starting Placer Cost Table (1–100)* задаёт начальный индекс таблицы весовых коэффициентов, который используется при первой попытке отображения логического описания проекта на физические ресурсы кристалла. Установленное число (в диапазоне от 1 до 100) является базовым при вычислении этого значения в последующих итерациях выполнения данной процедуры. По умолчанию для данного параметра используется значение 1, которое может быть изменено с помощью клавиатуры после активизации соответствующего поля редактирования. Рассматриваемая возможность доступна только в том случае, если для параметра *Perform Timing-Driven Packing and Placement* выбрано значение «включено».

С помощью параметра *Combinatorial Logic Optimization* можно задать режим оптимизации комбинационной логики в проектах, реализуемых на базе ПЛИС семейств Spartan-3, Spartan-3A, Spartan-3E, Virtex-II, Virtex-II Pro, Virtex-4 и Virtex-5. По умолчанию этот параметр принимает значение «выключено», при котором указанная оптимизация не выполняется. Данная настройка применяется при том же условии, что и параметр *Starting Placer Cost Table (1–100)*.

Значение параметра *Register Duplication* разрешает или запрещает дублирование регистров при временной оптимизации и сокращении количества разветвлений цепей. Значение «выключено», установленное по умолчанию, запрещает дублирование регистров в процессе отображения логического описания проектируемого устройства на физические ресурсы кристалла. Данная возмож-

ность доступна при том же условии, что и параметр *Starting Placer Cost Table* (1–100).

Параметр *Global Optimization* предоставляет возможность осуществления глобальной оптимизации полностью скомпонованного списка соединений проектов, реализуемых на базе ПЛИС семейств Virtex-4 и Virtex-5, перед выполнением процедуры отображения логического описания разрабатываемого устройства на физические ресурсы кристалла. По умолчанию данный параметр принимает значение «выключено», запрещающее выполнение глобальной оптимизации полного списка соединений проектируемого устройства.

Применение параметра *Retiming* позволяет добиться повышения тактовой частоты проектируемых устройств, предназначенных для реализации на базе ПЛИС семейств Virtex-4 и Virtex-5, за счёт перемещения триггеров относительно логики. Эта возможность доступна в том случае, когда для параметра *Global Optimization* установлено значение «включено». По умолчанию для параметра *Retiming* предлагается значение «вык-

лючено», блокирующее возможность перемещения триггеров относительно логики.

Параметр *Equivalent Register Removal* управляет оптимизацией триггеров в процессе отображения логического описания разрабатываемого устройства, реализуемого на основе ПЛИС семейств Virtex-4 и Virtex-5, на физические ресурсы кристалла. При разрешающем значении этого параметра, которое задано по умолчанию, из состава описания проектируемого устройства исключаются триггеры, выполняющие эквивалентные функции, а также триггеры, входные сигналы которых имеют постоянный уровень, не изменяющийся в процессе функционирования устройства. Эта настройка доступна только при разрешающем значении параметра *Global Optimization*.

Параметр *Trim Unconnected Signals* предоставляет возможность удаления неподключенных компонентов и цепей перед выполнением рассматриваемой процедуры (MAP). Для предварительной оценки требуемых физических ресурсов кристалла и временных характеристик незавер-

шённого проекта рекомендуется установить этот параметр в состояние «выключено», тогда незаконченные фрагменты проекта не будут исключаться из рассмотрения. По умолчанию для параметра *Trim Unconnected Signals* установлено значение «включено», предписывающее удаление неподключенных компонентов и цепей.

Значение параметра *Replicate Logic to Allow Logic Level Reduction* разрешает или запрещает замену одиночных элементов, которые имеют несколько нагрузок, соответствующим количеством их экземпляров с единственной цепью нагрузки. Данный параметр рекомендуется использовать при создании стратегии распределения ресурсов кристалла для реализации проекта, обеспечивающей быстрое и лёгкое выполнение временных ограничений. Значение «включено», установленное по умолчанию, обеспечивает сокращение количества уровней логики и, тем самым, уменьшение длительности задержек распространения сигналов.

Параметр *Allow Logic Optimization Across Hierarchy* определяет режим оптимизации, выполняемой в про-

цессе отображения логического описания проекта на физические ресурсы кристалла. При выборе значения «включено» оптимизация выполняется без сохранения иерархической структуры проекта. По умолчанию используется значение «выключено», при котором в ходе оптимизации учитывается иерархическое представление проекта.

Значение параметра *Map to Input Functions* указывает максимальное количество аргументов (входных сигналов) функций, реализуемых конфигурируемыми логическими блоками CLB семейств FPGA. Выпадающий список возможных значений этого параметра содержит пять элементов: 4, 5, 6, 7 и 8. Значение 4, установленное по умолчанию, соответствует использованию стандартных ресурсов функциональных генераторов (LUT). При выборе других значений допускается реализация функций соответствующего числа переменных за счёт использования ресурсов дополнительной логики CLB. По умолчанию для рассматриваемого параметра предлагается значение 6 при реализации разрабатываемого устройства на базе кристаллов семейства Virtex-5 или 4 при использовании ПЛИС других семейств.

С помощью параметра *Optimization Strategy (Cover Mode)* определяется стратегия оптимизации, выполняемой во время фазы распределения ресурсов CLB кристалла. На этой фазе производится назначение функциональных генераторов CLB для реализации соответствующих функций. В выпадающем списке возможных значений представлено четыре элемента: *Area, Speed, Balanced, Off*. Значение *Area*, установленное по умолчанию, определяет в качестве критерия минимизацию количества используемых таблиц преобразования (LUT) и, следовательно, конфигурируемых логических блоков. При выборе значения *Speed* целью оптимизации является уменьшение задержек распространения сигналов за счёт сокращения количества уровней логики. Значение *Balanced* позволяет сочетать рассмотренные выше стратегии оптимизации. Использование значения *Off* запрещает оптимизацию при распределении ресурсов CLB кристалла.

Параметр *Generate Detailed MAP Report* позволяет изменить уровень

детализации отчёта о выполнении процедуры отображения логического описания проекта на физические ресурсы ПЛИС. При установке разрешающего значения («включено») в отчёт включается дополнительная информация об удалённых избыточных блоках, преобразованных сигналах, перекрёстных ссылках сигналов и символов. По умолчанию используется значение «выключено», запрещающее включение в отчёт дополнительной информации.

Значение параметра *Use RLOC Constraints* разрешает или запрещает учитывать топологические ограничения, устанавливаемые с помощью настройки *RLOC*, которые задают расположение используемых конфигурируемых логических блоков по отношению к другим CLB. По умолчанию установлено значение «включено», запрещающее исключать ограничения относительного расположения *RLOC*. Если параметр *Use RLOC Constraints* переводится в состояние «выключено», то при этом также игнорируются все топологические ограничения, определяемые с помощью *RLOC*, которые содержат некорректную информацию, приводящую к появлению ошибок в процессе размещения и трассировки.

Параметр *Pack I/O Registers/Latches into IOBs* предназначен для управления упаковкой триггеров и защёлки в ячейки ввода-вывода. Выпадающий список содержит четыре возможных значения этого параметра: *Off, For Inputs Only, For Outputs Only, For Inputs and Outputs*. Значение *Off* соответствует нормальному режиму распределения ресурсов, при котором триггеры и защёлки упаковываются в ячейки ввода-вывода только при наличии соответствующих указаний в модулях исходного описания проекта. При выборе значения *For Inputs Only* для упаковки триггеров и защёлки используются только соответствующие входные элементы блоков ввода-вывода, а при значении *For Outputs Only* – выходные элементы. Значение *For Inputs and Outputs*, установленное по умолчанию для всех семейств ПЛИС, кроме Virtex-5, разрешает выполнять упаковку триггеров и защёлки, используя входные и выходные элементы ячеек ввода-вывода. При использовании кристаллов семейства Virtex-5 в качестве значе-

ния по умолчанию предлагается вариант *Off*.

Значение параметра *Disable Register Ordering* разрешает или запрещает упорядочивание триггеров (способ распределения триггеров проектируемого устройства в конфигурируемые логические блоки). По умолчанию установлено значение «выключено», разрешающее упорядочивание триггеров в процессе оптимизации.

С помощью параметра *Maximum Compression* можно включить режим достижения максимальной плотности упаковки при выполнении процедуры отображения логического описания проекта на физические ресурсы кристаллов семейства Virtex-5. По умолчанию данный параметр принимает значение «выключено», при котором указанный режим не используется.

Значение параметра *CLB Pack Factor Percentage* указывает процент конфигурируемых логических блоков кристалла, используемых в тар-процессе. Применяя этот параметр, можно повысить плотность упаковки проекта в кристалл, но это может неблагоприятно сказаться на результатах трассировки (вызвать появление неразведённых цепей). По умолчанию установлено значение 100%. Для его изменения следует активизировать соответствующее поле редактирования, после чего воспользоваться клавиатурой или кнопками в правой части этого поля. Следует обратить внимание на то, что данный параметр не может использоваться по отношению к проектам, предназначенным для реализации на основе ПЛИС семейства Virtex-5.

С помощью параметра *Tri-state Buffer Transformation Mode* задаётся способ отображения буферных элементов с тристабильными выходами при использовании ПЛИС семейств Virtex, Virtex-E, Virtex-II, Virtex-II PRO, Spartan-II и Spartan-III. В выпадающем списке возможных значений представлено четыре элемента: *Aggressive, Limit, On, Off*. При выборе значения *Aggressive* все тристабильные буферные элементы представляются с помощью ресурсов логики ускоренного переноса и каскадирования. Значение *Limit* устанавливает режим частичного преобразования, когда трансфор-

мируется только часть буферных элементов с тристабильными выходами, превышающая ограничения конфигурируемых логических блоков кристалла. При использовании значения *On* выполняется трансформация тристабильных буферных элементов в тех случаях, когда это необходимо. По умолчанию установлено значение *Off*, запрещающее преобразование тристабильных буферных элементов.

Параметр *Map Slice Logic into Unused Block RAMs* разрешает или запрещает привлекать ресурсы неиспользуемой блочной памяти для размещения элементов проектируемого устройства. По умолчанию установлено значение «выключено», запрещающее использовать блочную память для отображения иных элементов.

С помощью параметра *Other Map Command Line Options* предоставляется возможность выполнения дополнительных команд при осуществлении процедуры отображения логического описания проекта на физические ресурсы кристалла. Требуемые команды указываются в поле

редактирования этого параметра через пробел.

### **КРАТКОЕ ОПИСАНИЕ ПАРАМЕТРОВ, ПРЕДНАЗНАЧЕННЫХ ДЛЯ УПРАВЛЕНИЯ ПРОЦЕДУРАМИ РАЗМЕЩЕНИЯ И ТРАССИРОВКИ ПРОЕКТИРУЕМЫХ УСТРОЙСТВ В КРИСТАЛЛАХ FPGA**

Значение параметра *Place and Route Mode* определяет режим выполнения процесса размещения и трассировки. Выпадающий список содержит пять допустимых значений этого параметра: *Normal Place and Route*, *Place Only*, *Route Only*, *Reentrant Route*, *Multi Pass Place and Route*. Значение *Normal Place and Route*, установленное по умолчанию, соответствует нормальному режиму размещения и трассировки, при котором выполняются все процедуры с учётом параметров, указанных разработчиком, или установленные по умолчанию. При выборе значения *Place Only* выполняется только процедура размещения проекта разрабатываемого устройства. Для блокировки процеду-

ры размещения, когда необходимо выполнить только трассировку проекта, следует использовать значение *Route Only*. При выборе значения *Reentrant Route* осуществляется многократное повторение процедур трассировки с целью оптимизации результатов. Последние два режима можно устанавливать, если хотя бы один раз полностью пройдена стадия размещения и трассировки. Вариант *Multi Pass Place and Route* соответствует итерационному режиму выполнения процедур размещения и трассировки, предназначенному для достижения наилучших результатов. Следует обратить внимание на то, что для проектов, реализуемых на базе ПЛИС семейства Virtex-5, доступны только последние три варианта параметра *Place and Route Mode*.

Значение параметра *Place and Route Effort Level (Overall)* устанавливает уровень эффективности процедур размещения и трассировки проектируемого устройства в кристалле. Этот параметр позволяет за счёт выбора более совершенных алгоритмов размещения и трассировки (соответ-

ственно, за счёт увеличения времени выполнения рассматриваемого этапа) достичь более высоких результатов. И наоборот, выбирая менее сложные алгоритмы, можно сократить время выполнения процесса размещения и трассировки, но получить результаты, далёкие от оптимальных. Для сложных проектов уменьшение времени, необходимого для выполнения размещения и трассировки, может привести к появлению неразведённых цепей и увеличению задержек распространения сигналов. В выпадающем списке возможных значений данного параметра представлено три варианта, расположенных в порядке возрастания уровня эффективности результатов размещения и трассировки: *Standard*, *Medium*, *High*. Значение *Standard*, установленное по умолчанию, позволяет минимизировать время размещения и трассировки за счёт низкого уровня оптимизации этих процессов. При выборе значения *High* достигаются наилучшие результаты, но существенно увеличивается время выполнения всех процедур.

Параметры *Placer Effort Level (Overrides Overall Level)* и *Router Effort Level (Overrides Overall Level)* предназначены для раздельной установки уровня эффективности результатов размещения и трассировки соответственно. Выпадающие списки допустимых значений этих параметров содержат четыре варианта, расположенных в порядке повышения уровня эффективности получаемых результатов: *None*, *Standard*, *Medium*, *High*. Значение *Standard* позволяет минимизировать время выполнения процедур, но при этом получить самый низкий уровень эффективности. Для достижения наилучших результатов следует выбрать значение *High*, которое предписывает использовать комплексные алгоритмы размещения и трассировки, требующие максимального времени исполнения. В большинстве случаев рекомендуется использовать значение *None*, установленное по умолчанию, которое не оказывает никакого влияния на процессы размещения и трассировки. При этом управление этими процессами осуществляется с помощью предыдущего параметра. Если для какого-либо из параметров – *Placer Effort Level (Overrides Overall Level)* и *Router Effort Level (Overrides Overall Level)* – задано

значение, отличное от *None*, то оно имеет более высокий приоритет по сравнению со значением параметра *Place and Route Effort Level (Overall)*. Следует учитывать, что при выполнении процедур размещения и трассировки проектов, реализуемых на базе кристаллов семейства Virtex-5, параметры *Place and Route Effort Level (Overall)* и *Placer Effort Level (Overrides Overall Level)* не используются.

Значение параметра *Extra Effort (Highest PAR level only)* определяет возможность выделения дополнительного времени для выполнения процедур размещения и трассировки, необходимого для удовлетворения наиболее сложным временным ограничениям проекта. Этот параметр используется только в том случае, когда *Place and Route Effort Level (Overall)* принимает значение *High*. Выпадающий список возможных значений параметра *Extra Effort (Highest PAR level only)* содержит три варианта: *None*, *Normal*, *Continue on Impossible*. По умолчанию установлено значение *None*, которое запрещает выделение дополнительного времени. При выборе значения *Normal* процесс размещения и трассировки осуществляется до тех пор, пока выполняются заданные разработчиком временные ограничения, и прекращается при невозможности удовлетворения указанным условиям. Значение *Continue on Impossible* устанавливает режим выполнения процедур размещения и трассировки до того момента, пока не прекратится повышение эффективности достигаемых результатов, без учёта возможности удовлетворения заданным временным ограничениям.

С помощью параметра *Starting Placer Cost Table (1–100)* можно указать начальное значение, соответствующее стартовому индексу таблицы весовых коэффициентов, который используется в первой итерации процесса размещения и трассировки. Установленное число (в диапазоне от 1 до 100) является базовым при вычислении этого значения в последующих итерациях. Для каждого фактора, влияющего на результаты реализации проекта, как, например, временные и топологические ограничения, длина соединений, задаётся весовой коэффициент, определяющий его приоритет. Каждой стратегии размещения и трассировки соответствует определённое сочетание

весовых коэффициентов, образующих таблицу весов. По умолчанию для этого параметра используется значение 1, которое может быть изменено с помощью клавиатуры после активизации соответствующего поля редактирования. При выполнении процесса размещения и трассировки проектируемых устройств, предназначенных для реализации на базе ПЛИС семейства Virtex-5, параметр *Starting Placer Cost Table (1–100)* не применяется.

Параметр *Use Timing Constraints* определяет, будут ли средствами размещения и трассировки приниматься во внимание временные ограничения проекта. При включенном значении этого параметра, установленном по умолчанию, оптимизация в процессе размещения и трассировки производится с учётом всех временных ограничений, указанных в модулях исходных описаний проекта и файлах ограничений UCF и NCF. Если для параметра *Use Timing Constraints* задано значение «выключено», то средства размещения и трассировки игнорируют всю информацию о временных ограничениях.

С помощью параметра *Use Bonded I/Os* разрешается или запрещается размещение внутренней интерфейсной логики в ячейки ввода-вывода, подключаемые к выводам кристалла, которые не используются при реализации проекта. По умолчанию для этого параметра установлено значение «выключено», при котором внутренняя интерфейсная логика распределяется в ячейки ввода-вывода, не подключенные к контактам ПЛИС. При переводе данного параметра в состояние «включено» необходимо убедиться в том, что соответствующие выводы кристалла не используются для подключения к внешним цепям, в том числе к цепям питания и земли. Следует учитывать, что неподключенные контакты кристалла являются источником помех, которые могут привести к сбоям в работе ПЛИС.

Значение параметра *Generate Asynchronous Delay Report* разрешает или запрещает генерацию отчёта об асинхронных задержках сигналов в процессе размещения и трассировки проектируемого устройства в кристалле. По умолчанию этот параметр принимает значение «выключено», которое блокирует формирование указанного отчёта.

Параметр *Generate Clock Region Report* предназначен для управления процессом генерации отчёта, содержащего сведения об используемых ресурсах для каждого локального тактового сигнала и возможных конфликтах между локальными и глобальными сигналами синхронизации. По умолчанию для данного параметра установлено значение «выключено», запрещающее формирование указанного отчёта.

Значение параметра *Generate Post-Place & Route Static Timing Report* определяет необходимость запуска процедуры анализа статических временных параметров после выполнения размещения и трассировки проекта в кристалле. При значении «включено», установленном по умолчанию, средства САПР серии Xilinx ISE автоматически формируют отчёт о результатах выполненного временного анализа.

С помощью параметра *Generate Post-Place & Route Simulation Model* осуществляется управление процессом автоматического формирования полной временной модели проектируемого устройства. По умолчанию используется значение «выключено»,

запрещающее автоматическое создание полной временной модели после выполнения процедур размещения и трассировки проектируемого устройства в кристалле.

Параметр *Number of PAR Iterations* (0–100) позволяет указать предельно допустимое число итераций при выполнении процесса размещения и трассировки проектируемого устройства в кристалле. По умолчанию для данного параметра предлагается значение, равное 3.

Параметр *Number of Results to Save* (0–100) применяется для определения количества сохраняемых файлов NCD, которые используются для последующего выбора наилучших результатов процесса размещения и трассировки проекта в кристалле. При выборе нулевого значения этого параметра сохраняются все файлы NCD, формируемые на различных итерациях данного процесса.

Значение параметра *Save Results in Directory (.dir will be appended)* задаёт название каталога, в который записываются отчёты о выполнении итераций процесса размещения и трассировки проектируемого устройства в

кристалле. По умолчанию используется каталог *mppr\_result*. Параметры *Number of PAR Iterations* (0–100), *Number of Results to Save* (0–100) и *Save Results in Directory (.dir will be appended)* доступны только при выборе итерационного режима выполнения процедур размещения и трассировки (когда для параметра *Place and Route Mode* выбрано значение *Multi Pass Place and Route*) и не используются в процессе реализации разрабатываемых устройств на основе ПЛИС семейства Virtex-5.

Параметр *Power Reduction* предоставляет возможность проведения дополнительной оптимизации в процессе трассировки проектируемого устройства в кристалле с целью минимизации потребляемой мощности. По умолчанию для данного параметра установлено значение «выключено», которое запрещает выполнение указанной оптимизации.

С помощью параметра *Other Place & Route Command Line Options* можно указать дополнительные команды, предназначенные для выполнения в процессе размещения и трассировки разработанного проекта в кристалле. ©

*Продолжение следует.*