

Эффективное использование умножителей при реализации цифровых фильтров-дециматоров

Михаил Григорян (Санкт-Петербург)

В статье рассмотрена проблема гибкого и эффективного использования умножителей при организации прореживания высокоскоростного цифрового потока в цифровых фильтрах-дециматорах. Описаны способы, позволяющие организовать параллельные вычисления на скоростях, превышающих скорость следования отсчётов.

Задача снижения скорости цифрового потока является хорошо известной проблемой цифровой обработки сигналов. Она остаётся актуальной при реализации устройств самого различного назначения. Например, в тракте приёмника радиомониторинга после аналого-цифрового преобразования цифровой поток может достигать 4 Мбит/с, что существенно усложняет последующую цифровую обработку.

Чтобы снизить скорость цифрового потока, используют децимацию (или прореживание) исходного сигнала. Отметим, что при децимации сигнала происходит уплотнение спектра исходного сигнала из-за уменьшения частоты дискретизации. Поэтому главной проблемой при децимации сигнала является наложение спектров при изменении спектральной характеристики исходного сигнала, и в реальных системах дециматору практически всегда предшествует фильтр нижних частот.

Поскольку задача цифровой фильтрации является достаточно требовательной к вычислительной нагрузке, затратам памяти и энергии, проблема оптимального исполнения филь-

тров может иметь различные решения. Среди них можно выделить способы, основанные на особом представлении и квантовании коэффициентов [1–3], введение дополнительной синхронизации [4], различные адаптивные алгоритмы [5]. На практике задачи фильтрации и децимации стараются совмещать, используя структуры фильтров-дециматоров, оптимизирующих операции умножений. Суть подобных способов оптимизации чаще всего сводится к введению дополнительных регистров данных, позволяющих снизить требуемую скорость работы умножителей, а также к использованию полифазных структур, позволяющих организовать параллельные вычисления.

Однако на сегодняшний день развитие аппаратных средств достигло уровня, позволяющего выполнять операции умножения на довольно высоких скоростях. Например, тактовая частота умножителей в современных сигнальных процессорах и микросхемах программируемой логики может достигать порядка 500 МГц. В связи с этим разработка фильтров-дециматоров требует такой организации вычислений, которая, помимо исключения лишних операций умножения и использования параллельных вычислений, допускает работу умножителей на скоростях, превышающих частоту следования отсчётов.

Рассмотрим наиболее простой вариант структурной схемы фильтра-дециматора, в котором имеется один умножитель ($p = 1$), на вход которого поступают отсчёты x_0, \dots, x_{N-1} с частотой следования f_{cl} (см. рис. 1). Над умножителем изображен блок ОЗУ, используемый для хранения N коэффициентов фильтра b_0, \dots, b_{N-1} . Таким образом, вы-

борка коэффициентов из памяти также происходит с частотой f_{cl} . После умножителя каждый отсчёт, умноженный на соответствующий ему коэффициент, сохраняется в аккумуляторе. Выборка суммы произведений и обнуление аккумулятора производится с частотой f_{cl}/M в соответствии с необходимым коэффициентом децимации M . Очевидно, для того, чтобы каждый выходной отсчёт фильтра представлял собой сумму вида $\sum_{n=0}^{N-1} b_n x_n$, необходимо выполнение условия $N = M$.

Простейшая структура фильтра-дециматора, использующего несколько умножителей p , основана на полифазном представлении сигналов (см. рис. 2). Смысл последнего заключается в том, что последовательность отсчётов разделяется на несколько фаз, сдвинутых друг относительно друга и имеющих пониженную частоту следования отсчётов [6]. В нашем случае входная последовательность отсчётов x_0, \dots, x_{N-1} , следующих с частотой f_{cl} , будет разделена на p последовательностей ($x_0, x_p, \dots, x_{N-1-p}; x_1, x_{p+1}, \dots, x_{N-p};$ и т.д.), в каждой из которых частота следования отсчётов будет составлять f_{cl}/p .

Каждый из p умножителей, таким образом, обслуживает свою фазу и имеет свой блок ОЗУ, содержащий коэффициенты, необходимые для данной фазы сигнала. Тогда каждый блок памяти должен хранить не все N коэффициентов фильтра, а всего лишь N/p . Выборка коэффициентов из ОЗУ производится с частотой f_{cl}/p , т.е. частота работы умножителя также составляет f_{cl}/p . Очевидно, что на выходе каждого из p умножителей будет присутствовать последовательность произведений отсчёта каждой фазы на соответствующий ему коэффициент, поэтому данные p последовательностей целесообразно вновь объединить в одну, с увеличением частоты следования отсчётов в p раз, которая снова составит значение f_{cl} . Члены данной последовательности накапливаются в аккумуляторе, который обнуляется и выдаёт выходной отсчёт с частотой

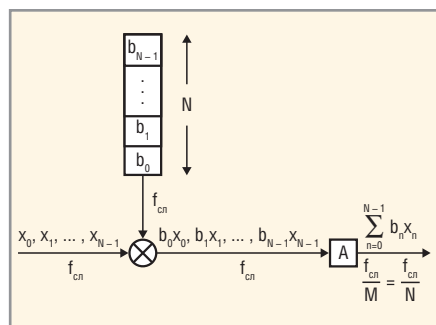


Рис. 1. Структурная схема фильтра-дециматора с одним умножителем, работающим на частоте следования входных отсчётов

f_{cl}/M . Таким образом, в рассмотренной структуре, помимо обеспечения равенства $N = M$, необходимо условие целочисленного деления N на p для разделения общей памяти ОЗУ на p независимых блоков одинакового объёма.

Другая структура фильтра-дециматора, которую целесообразно рассмотреть, основана на одном умножителе, работающем на частоте, превышающей частоту следования входных отсчетов в k раз (см. рис. 3). В основу работы данной схемы положена идея, что один и тот же входной отсчёт может рассматриваться в качестве отсчёта с разными порядковыми номерами. Например, отсчёт x_0 будет одновременно представлять отсчёты $x_M, x_{2M}, \dots, x_{(k-1)M}$, отсчёт x_1 , соответственно, $x_{M+1}, x_{2M+1}, \dots, x_{(k-1)M+1}$ и т.д. Таким образом, один и тот же входной отсчёт будет участвовать в разных наборах для получения выходного отсчёта. Очевидно, что в этом случае один входной отсчёт должен, во-первых, умножаться на разные коэффициенты фильтра, а во-вторых, входить в разные суммы вида $\sum_{n=0}^{N-1} b_n x_n$, эквивалентные выходному отсчёту фильтра.

Блок памяти ОЗУ, используемый для хранения N коэффициентов фильтра, удобно представить в виде таблицы, каждая строка которой содержит все коэффициенты, на которые необходимо умножить текущий входной отсчёт. Тогда каждому отсчёту на входе умножителя будет соответствовать k отсчётов на его выходе, представляющих собой k произведений всех элементов текущей строки таблицы коэффициентов на данный входной отсчёт. Например, если входным отсчётом будет

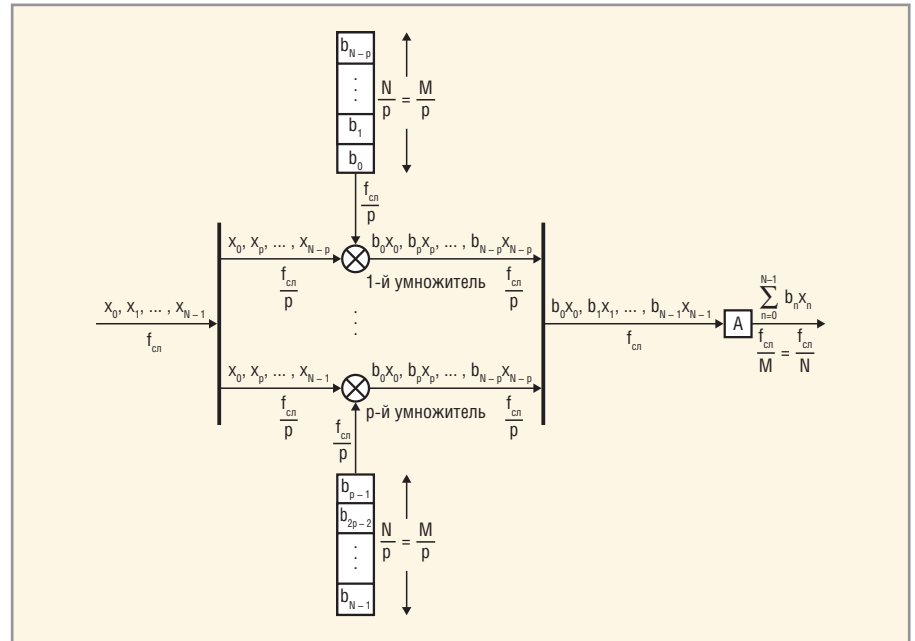


Рис. 2. Структурная схема полифазного фильтра – дециматора

$x_2(x_{M+2}, x_{2M+2}, \dots, x_{(k-1)M+2})$, то уже на выходе умножителя получим последовательность $b_2x_2, b_{M+2}x_{M+2}, b_{2M+2}x_{2M+2}, \dots, b_{(k-1)M+2}x_{(k-1)M+2}$. Необходимо отметить, что после того как будут перебраны M строк для M физически различных отсчётов, происходит циклическое возвращение к первой строке, однако выборка коэффициентов теперь начнется с b_M и закончится b_0 , т.к. входным отсчётом будет уже x_M ($x_{2M}, x_{3M}, \dots, x_0$).

Чтобы разделить слагаемые для вычисления соответствующих сумм, высокоскоростной поток на выходе умножителя разделяется на k потоков путём взятия каждого k -го отсчёта исходного потока. Полученные k потоков отсчётов, следующих с частотой f_{cl} , складываются в соответствующем аккумуляторе, который обнуляется и

выдаёт выходной отсчёт с частотой f_{cl}/N . Таким образом, сформированные k параллельных выходов соответствуют k выходным отсчётам фильтра, следующим с частотой f_{cl}/N . Следовательно, после уплотнения выходных отсчётов в одну линию частота их следования составит $kf_{cl}/N = f_{cl}/M$. Ограничением данной структуры, с точки зрения практической реализации, является то, что длина фильтра должна быть связана с коэффициентом k и коэффициентом децимации M соотношением $N = Mk$, при этом k должен быть целочисленным.

Отметим, что структуры фильтров-дециматоров, изображённых на рисунках 2 и 3, тем не менее, не обеспечивают большой гибкости распределения ресурсов (ОЗУ и количества умножителей). Поэтому целесообразно разрабо-

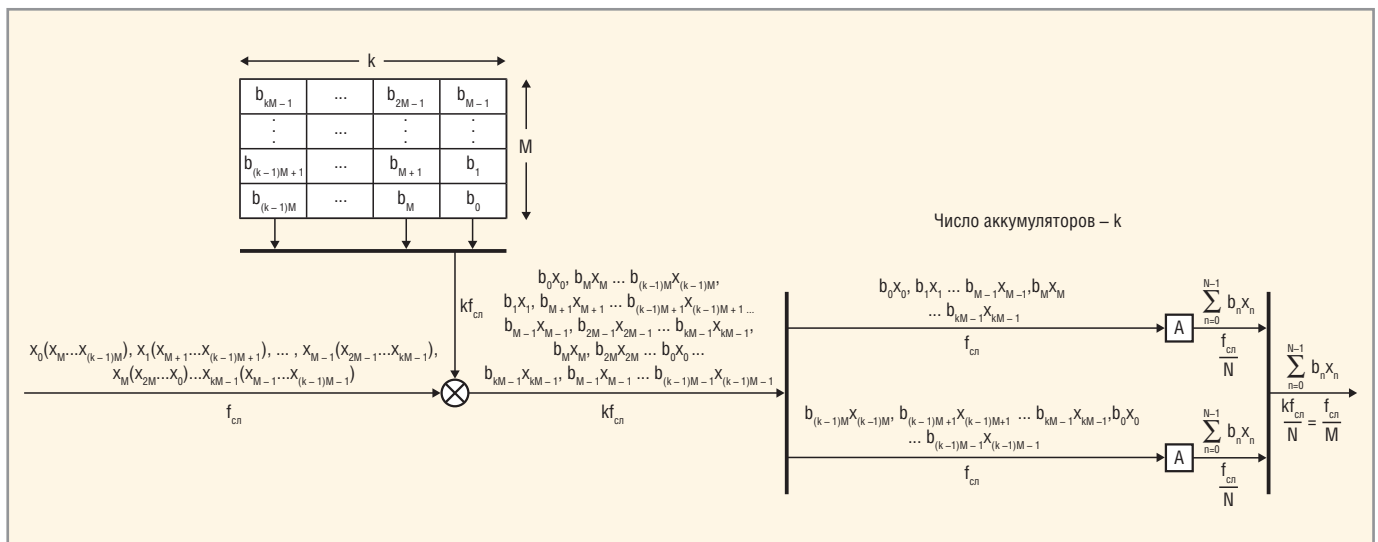


Рис. 3. Структурная схема фильтра – дециматора с одним умножителем, работающим на частоте, кратной частоте следования отсчётов

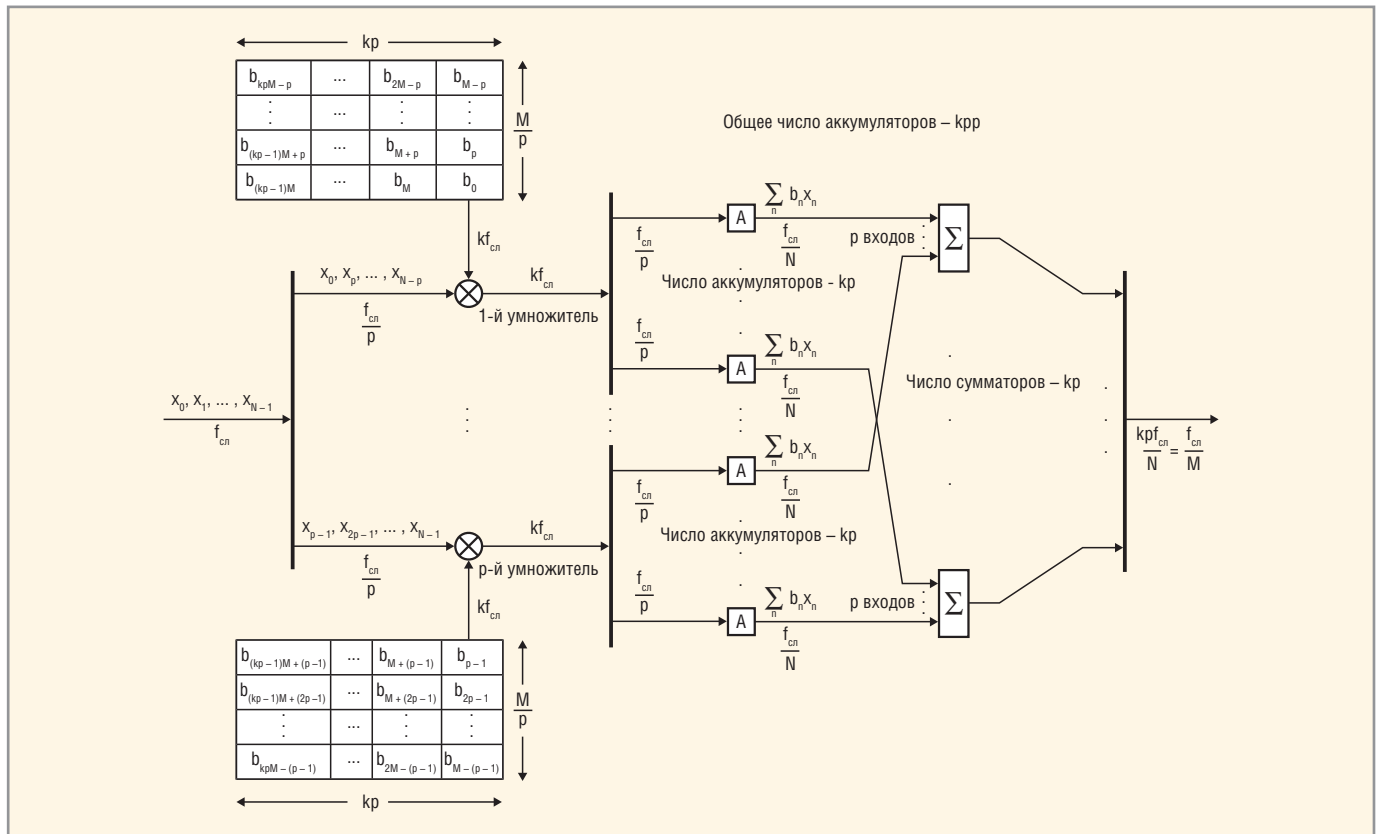


Рис. 4. Структурная схема фильтра-дециматора с несколькими умножителями, работающими на частотах, кратных частоте следования отсчётов

тать структуру, объединяющую достоинства обеих рассмотренных схем. С этой целью в фильтре-дециматоре, показанном на рисунке 4, задействовано p умножителей, работающих с частотой kf_{cl} , кратной частоте следования входных отсчётов f_{cl} , что позволяет снизить необходимое число умножителей.

Как и в варианте с полифазной структурой, входной поток отсчётов здесь разделяется на p потоков отсчётов, следующих с частотой f_{cl}/p и поступающих на соответствующий умножитель. Все коэффициенты фильтра распределены по p таблицам, каждая из которых используется своим умножителем, т.е. число коэффициентов, хранящихся в каждой таблице, равно N/p . Каждый умножитель, выполняя операции умножения и выборки отсчёта из таблицы аналогично умножителю в модели 3, порождает на выходе поток отсчётов, следующих с частотой kf_{cl} . Данный поток, как и в модели 2, несёт информацию о p фазах, но входящих при этом в разные наборы (в суммы вида $\sum_{n=0}^{N-1} b_n x_n$ для разных выходных отсчётов), как в модели 3 для однофазного потока.

Следующим необходимым этапом после умножения является разделение высокоскоростного потока на потоки, соответствующие своему набо-

ру. Частота каждого потока после разделения равна f_{cl}/p (на входе умножителя), т.к. определяется числом наборов или, что то же самое, отношением kf_{cl} к f_{cl}/p . Поскольку в данной реализации после умножения имеется p фаз, такому разделению необходимо подвергнуть каждую фазу. Таким образом, после этой стадии демультиплексирования появится несколько параллельных потоков с частотой f_{cl}/p , число которых определяется произведением числа фаз p на число наборов kr и равно krp^2 . Каждый из этих потоков поступает на аккумулятор, выходные отсчёты которого следуют уже со скоростью f_{cl}/N .

Однако, если в полифазной структуре потоки, соответствующие каждой фазе, подвергались мультиплексированию и суммировались уже в одном аккумуляторе, то в данной структуре после стадии аккумуляции необходимо произвести суммирование отсчётов с выходов аккумуляторов, соответствующих разным фазам. С этой целью после аккумуляции отсчёты поступают на сумматоры, количество которых определяется числом наборов kr , имеющих число входов, равное числу фаз p . Таким образом, после стадии суммирования образуется kr параллельных потоков отсчётов, следующих с час-

тотой f_{cl}/N и являющихся по сути выходными отсчётами фильтра. После мультиплексирования этих потоков выходной поток фильтра будет иметь частоту $krpf_{cl}/N = f_{cl}/M$, т.е. обеспечит необходимый коэффициент децимации.

ЛИТЕРАТУРА

1. Sbantbal S., Kulkarni S.Y. High Speed and Low Power FPGA Implementation of FIR Filter for DSP Applications. European J. of Scientific Research. 2009. Vol. 31. No. 1. PP. 19–28.
2. Saini V., Singh B., Devi R. Area Optimization of FIR Filter and its Impementation on FPGA. Intern. J. of Recent Trends in Engineering. 2009. Vol. 1. No. 4. PP. 55–58.
3. Hewlitt R.M. Canonical Signed Digit Representation for Fir Digital Filters. IEEE Workshop on Signal Processing Systems. 2000. PP. 416–426.
4. Sentilkumar A., Natarajan A.M. FPGA Implementation of Power Aware FIR Filter Using Reduced Transition Pipelined Variable Precision Gating. J. of Computer Science. 2008. 4. PP. 87–94.
5. Rajan B., Ravi S. FPGA Based Hardware Implementation of Image Filter With Dynamic Reconfiguration Architecture. Intern. J. of Computer Science and Network Security. 2006. Vol. 6. No. 12. PP. 121–127.
6. Сергиенко А.Б. Цифровая обработка сигналов. Питер, 2006.

